

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-341422

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.<sup>6</sup>  
H 0 4 N 7/08  
7/081  
7/24  
// H 0 3 M 7/30

識別記号

F I

H 0 4 N 7/08 1 0 1  
H 0 3 M 7/30 Z  
H 0 4 N 7/13 Z

審査請求 未請求 請求項の数51 O L (全 34 頁)

(21) 出願番号 特願平10-93447  
(22) 出願日 平成10年(1998) 4 月 6 日  
(31) 優先権主張番号 特願平9-88523  
(32) 優先日 平 9 (1997) 4 月 7 日  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72) 発明者 吉岡 康介  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 平井 誠  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 清原 督三  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74) 代理人 弁理士 中島 司朗

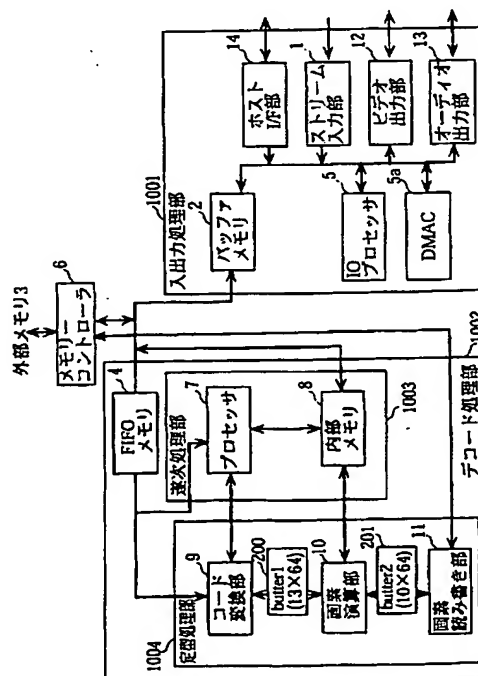
最終頁に続く

(54) 【発明の名称】 映像音声処理装置

(57) 【要約】

【課題】 本発明は、圧縮画像及び圧縮音声データの入力、デコード、出力という一連の処理を行い、高い周波数で動作させなくても高い処理能力を有する映像音声処理装置を提供する。

【解決手段】 本発明の映像音声処理装置は、外部要因により非同期に発生する入出力処理を行う入出力処理部1001と、前記入出力処理と並行して、メモリに格納されたデータストリームのデコードを主とするデコード処理を行うデコード処理部1002とを備える。入出力処理は、外部から非同期に入力される前記データストリームを入力し、さらにメモリに格納すること、メモリに格納されたデータストリームをデコード処理部に供給することを含む。デコード処理は、データストリームに対して、条件判断を主とする逐次処理と、圧縮映像データのヘッダ解析を除く圧縮映像データのデコードを逐次処理と並行して行う定型処理とからなる。



## 【特許請求の範囲】

【請求項1】 圧縮音声データと圧縮映像データとを含むデータストリームを外部から入力、デコードし、デコードしたデータを出力装置に出力する映像音声処理装置であって、

外部要因により非同期に発生する入出力処理を行う入出力処理手段と、

前記入出力処理と並行して、メモリに格納されたデータストリームのデコードを主とするデコード処理を行うデコード処理手段とを備え、

前記デコード処理手段によりデコードされた映像データ、デコードされた音声データはメモリに格納され、前記入出力処理は、外部から非同期に入力される前記データストリームを入力し、さらにメモリに格納することと、メモリに格納されたデータストリームをデコード処理手段に供給することと、外部の表示装置、音声出力装置それぞれの出力レートに合わせてメモリから読み出し、それらに出力することとを入出力処理として行うことを特徴とする映像音声処理装置。

【請求項2】 請求項1記載の映像音声処理装置であって、

前記デコード処理手段は、データストリームに対して、条件判断を主とする逐次処理であって、圧縮音声データ及び圧縮映像データのヘッダ解析と、圧縮音声データのデコードとを含む逐次処理を行なう逐次処理手段と、

前記逐次処理と並行して、定型処理を行う。定型処理は、圧縮映像データのヘッダ解析を除く圧縮映像データのデコードである定型処理手段とを備えることを特徴とする映像音声処理装置。

【請求項3】 請求項2記載の映像音声処理装置であって、

前記逐次処理手段は、データストリーム中の所定ブロック単位に付加されたヘッダ情報の解析と、データストリーム中の音声データの復号とを交互に行い、1ブロックのヘッダ解析が終了したとき、定型処理手段に当該ブロックのデコード開始を指示し、定型処理手段からそのブロックのデコード終了通知を受けたとき、次のブロックのヘッダ解析を開始し、

前記定型処理手段は、逐次処理手段の解析結果に従って、圧縮映像データを所定ブロック単位にデコードすることを特徴とする映像音声処理装置。

【請求項4】 請求項3記載の映像音声処理装置であって、

前記定型処理手段は、

逐次処理手段の指示に従ってデータストリーム中の圧縮映像データを可変長復号するデータ変換手段と、

可変長復号により得られたブロックデータに対して、所定の演算を施すことにより逆量子化および逆離散余弦変換を行う演算手段と、

逆離散余弦変換後のブロックデータと、メモリに格納された復号済みフレームの矩形画像とを合成することによりブロックに相当する映像データを復元する合成手段とを備えることを特徴とする映像音声処理装置。

【請求項5】 請求項4記載の映像音声処理装置であって、

前記演算手段は、さらに1ブロックに相当する記憶領域を有する第1バッファを有し、

前記データ変換手段は、

10 データストリーム中の圧縮映像データを可変長復号する可変長復号手段と、

第1バッファの記憶領域のアドレスをジグザグスキャン順に並べた第1アドレス列を記憶する第1アドレステーブル手段と、

第1バッファの記憶領域のアドレスをオルタネートスキャン順に並べた第2アドレス列を記憶する第2アドレステーブル手段と、

第1アドレス列と第2アドレス列の一方に従って、可変長復号手段の可変長復号により得られるブロックデータを第1バッファに書き込む書き込み手段とを有することを特徴とする映像音声処理装置。

【請求項6】 請求項5記載の映像音声処理装置であって、

前記書き込み手段は、

第1アドレステーブル手段及び第2アドレステーブル手段に対するテーブルアドレスを順次発生するテーブルアドレス発生手段と、

30 テーブルアドレスが入力された第1テーブル手段、第2テーブル手段からそれぞれ出力される第1アドレス列のアドレス、第2アドレス列のアドレスのうち、一方を選択するアドレス選択手段と、

選択されたアドレスを第1バッファに出力するアドレス出力手段とを有することを特徴とする映像音声処理装置。

【請求項7】 請求項1記載の映像音声処理装置であって、

前記入出力処理手段は、

外部から非同期データストリームを入力する入力手段と、

40 外部の表示装置にデコードされた映像データを出力する映像出力手段と、

外部の音声出力装置にデコードされた音声データを出力する音声出力手段と、

命令メモリに格納された第1から第4のタスクを切替えながら実行するプロセッサとを有し、

前記第1タスクは入力部から前記メモリにデータストリームを転送するプログラムであり、

前記第2タスクは前記メモリからデコード処理手段にデータストリームを供給するプログラムであり、

50 前記第3タスクは前記メモリから映像出力部にデコード

された映像データを出力するプログラムであり、前記第4タスクは前記メモリから音声出力部にデコードされた音声データを出力するプログラムであることを特徴とする映像音声処理装置。

【請求項8】 請求項7記載の映像音声処理装置であって、

前記プロセッサは、

前記第1から第4タスクに対応する少なくとも4つのプログラムカウンタを有するプログラムカウンタ部と、

1つのプログラムカウンタが指す命令アドレスを用いて、各タスクプログラムを記憶する命令メモリから命令を取り出す命令フェッチ部と、

命令取出部に取出された命令を実行する命令実行部と、所定数の命令サイクルが経過する毎に、命令フェッチ部に対してプログラムカウンタを順次切替えるように制御するタスク制御部とを有することを特徴とする映像音声処理装置。

【請求項9】 請求項8記載の映像音声処理装置であって、

前記プロセッサは、さらに前記第1から第4タスクに対応する少なくとも4つのレジスタセットを有するレジスタ部を有し、

前記タスク制御部は、プログラムカウンタの切替えと同時に、命令実行部が使用すべきレジスタセットを切り替えることを特徴とする映像音声処理装置。

【請求項10】 請求項9記載の映像音声処理装置であって、

前記タスク制御部は、プログラムカウンタが切替えられる毎に、クロック信号に従って命令サイクル数をカウントするカウンタと、カウンタにおけるカウント値が前記所定数に達したとき、命令フェッチ部に対してプログラムカウンタを切替えるように制御する切替え指示部とを有することを特徴とする映像音声処理装置。

【請求項11】 圧縮音声データと圧縮映像データとを含むデータストリームを入力する入力手段と、データストリームに対して、条件判断を主とする逐次処理であって、データストリーム中の所定ブロック単位に付加されたヘッダ情報の解析と、データストリーム中の圧縮音声データの復号とを行なう逐次処理手段と、定型演算を主とする定型処理であって、ヘッダ解析の結果を用いてデータストリーム中の圧縮映像データを、前記逐次処理と並行して、所定ブロック単位に復号する定型処理手段とを備え、

前記逐次処理手段は前記所定ブロックのヘッダ解析が終了したとき、定型処理手段に当該所定ブロックのデコード開始を指示し、定型処理手段から所定ブロックのデコード終了通知を受けたとき、次の所定ブロックのヘッダ解析を開始することを特徴とする映像音声処理装置。

【請求項12】 請求項11記載の映像音声処理装置で

あって、

前記定型処理手段は、

逐次処理手段の指示に従ってデータストリーム中の圧縮映像データを可変長復号するデータ変換手段と、

可変長復号により得られた映像ブロックに対して、所定の演算を施すことにより逆量子化および逆離散余弦変換を行う演算手段と、

逆離散余弦変換後の映像ブロックと復号済みのブロックを合成することにより動き補償処理を行って映像データを復元する合成手段とを有し、

前記逐次処理手段は、

データ変換手段により可変長復号されたヘッダ情報を取得する取得手段と、

取得されたヘッダ情報を解析する解析手段と、

解析結果として得られるパラメータを定型処理手段に通知する通知手段と、

入力手段により入力されたデータストリーム中の圧縮音声データを復号する音声復号手段と、

前記定型処理手段から所定ブロックのデコード完了を通知する割込み信号を受けたとき、音声復号手段の動作を停止するとともに取得手段を起動し、前記通知手段が前記通知をしたとき、前記データ変換手段に映像ブロックの可変長復号の開始を指示する制御手段とを有することを特徴とする映像音声処理装置。

【請求項13】 請求項12記載の映像音声処理装置であって、

前記演算手段は、さらに1ブロックに相当する記憶領域を有する第1バッファを有し、

前記データ変換手段は、

データストリーム中の圧縮映像データを可変長復号する可変長復号手段と、

第1バッファの記憶領域のアドレスをジグザグスキャン順に並べた第1アドレス列を記憶する第1アドレステーブル手段と、

第1バッファの記憶領域のアドレスをオルタネートスキャン順に並べた第2アドレス列を記憶する第2アドレステーブル手段と、

第1アドレス列と第2アドレス列の一方に従って、可変長復号手段の可変長復号により得られるブロックデータを、第1バッファに書き込む書き込み手段とを有することを特徴とする映像音声処理装置。

【請求項14】 請求項13記載の映像音声処理装置であって、

前記書き込み手段は、

第1アドレステーブル手段及び第2アドレステーブル手段に対するテーブルアドレスを順次発生するテーブルアドレス発生手段と、

テーブルアドレスが入力された第1テーブル手段、第2テーブル手段からそれぞれ出力される第1アドレス列のアドレス、第2アドレス列のアドレスのうち、一方を選

択するアドレス選択手段と、  
選択されたアドレスを第1バッファに出力するアドレス  
出力手段とを有することを特徴とする映像音声処理装  
置。

【請求項15】 請求項12記載の映像音声処理装置で  
あって、  
前記解析手段は、ヘッダ情報に基づいて量子化スケール  
と動きベクトルとを算出し、  
前記通知手段は、量子化スケールを演算手段に、動きベ  
クトルを合成手段に通知することを特徴とする映像音声  
処理装置。

【請求項16】 請求項15記載の映像音声処理装置で  
あって、  
前記演算手段は、  
それぞれマイクロプログラムを記憶する第1、第2の制  
御記憶部と、  
第1制御記憶部に第1読出アドレスを指定する第1プロ  
グラムカウンタと、  
第2読出アドレスを指定する第2プログラムカウンタ  
と、  
第1読出アドレスと第2読出アドレスとの一方を選択し  
て第2制御記憶部に出力するセレクトと、  
乗算器と加算器とを有し、第1、第2制御記憶部による  
マイクロプログラム制御によりブロック単位の逆量子化  
と逆離散余弦変換とを実行する実行部と  
を有することを特徴とする映像音声処理装置。

【請求項17】 請求項16記載の映像音声処理装置で  
あって、  
前記実行部は、セレクトにより第2読出アドレスが選択  
されたとき、乗算器を用いた処理と加算器を用いた処理  
とを独立並行して行い、セレクトにより第1読出アドレ  
スが選択されたとき、乗算器を用いた処理と加算器を用  
いた処理とを連動させて行うことを特徴とする映像音声  
処理装置。

【請求項18】 請求項17記載の映像音声処理装置で  
あって、  
前記演算手段は、さらに、  
データ変換手段からの映像ブロックを保持する第1バッ  
ファと、  
実行部により逆離散余弦変換されたブロックを保持する  
第2バッファとを有し、  
前記第1制御記憶部は、逆量子化処理するマイクロプロ  
グラムと、逆離散余弦変換するマイクロプログラムとを  
記憶し、  
前記第2制御記憶部は、逆離散余弦変換するマイクロプ  
ログラムと、逆離散余弦変換された映像ブロックを第2  
バッファに転送するマイクロプログラムとを記憶し、  
前記実行手段は、逆離散余弦変換された映像ブロックを  
第2バッファに転送する処理と、次の映像ブロックを逆  
量子化する処理とを並列に実行し、逆量子化された当該

映像ブロックを逆離散余弦変換する処理を乗算器と加算  
器とを連動させて実行することを特徴とする映像音声処  
理装置。

【請求項19】 請求項18記載の映像音声処理装置で  
あって、

前記合成手段は、さらに、圧縮すべき映像データから差  
分画像を表す差分ブロックを生成し、

前記第2バッファは、さらに生成された差分画像を保持  
し、

10 第1制御記憶部は、さらに、離散余弦変換するマイクロ  
プログラムと、量子化処理するマイクロプログラムとを  
記憶し、

第2制御記憶部は、さらに、離散余弦変換するマイクロ  
プログラムと、離散余弦変換された映像ブロックを第1  
バッファに転送するマイクロプログラムとを記憶し、

前記実行手段は、さらに、第2バッファに保持された差  
分ブロックに対して離散余弦変換と量子化を実行して第  
1バッファに転送し、

20 前記データ変換手段は、さらに、第1バッファのブロッ  
クに対して可変長符号化を行い、

前記逐次処理手段は、さらに、データ変換手段により可  
変長符号化された所定のブロックに対してヘッダ情報を  
付加することを特徴とする映像音声処理装置。

【請求項20】 請求項16記載の映像音声処理装置で  
あって、

前記入力手段は、さらにポリゴンデータを入力し、

前記逐次処理手段は、さらにポリゴンデータを解析して  
ポリゴンの頂点座標とエッジの傾きとを算出し、

30 前記定型処理手段は、さらに算出された頂点座標と傾き  
とに従って、前記ポリゴンの画像データを生成すること  
を特徴とする映像音声処理装置。

【請求項21】 請求項20記載の映像音声処理装置で  
あって、

前記第1、第2制御記憶部は、さらにDDAアルゴリ  
ズムによる走査変換を行うマイクロプログラムを記憶し、

前記実行部は、さらに逐次処理手段により算出された頂  
点座標と傾きとに基づいてマイクロプログラム制御によ  
り走査変換を行うことを特徴とする映像音声処理装置。

40 【請求項22】 請求項15記載の映像音声処理装置で  
あって、

前記演算手段は、  
それぞれマイクロプログラムを記憶する第1、第2の制  
御記憶部と、

第1制御記憶部に第1読出アドレスを指定する第1プロ  
グラムカウンタと、

第2読出アドレスを指定する第2プログラムカウンタ  
と、

第1読出アドレスと第2読出アドレスとの一方を選択し  
て第2制御記憶部に出力するセレクトと、

50 乗算器と加算器とをそれぞれ有し、第1、第2制御記憶

部によるマイクロプログラム制御によりブロック単位の逆量子化と逆離散余弦変換とを実行する複数の実行部とを備え、

各実行部は、ブロックを分割した部分ブロックを分担して処理することを特徴とする映像音声処理装置。

【請求項23】 請求項22記載の映像音声処理装置であって、

前記演算手段は、さらに、

各実行部に対応して設けられ、各変換テーブルは所定のアドレス列に対応して部分的にアドレス順序を入れ換えた変換アドレス保持する複数のアドレス変換テーブルと、

所定の演算を実現するマイクロプログラムを構成する個々のマイクロ命令を変換アドレスに対応させて記憶する複数のレジスタからなる命令レジスタ群と、

第1及び第2制御記憶部と複数の実行部との間に設けられ、第1制御記憶部又はセレクトから各実行部へ出力されるマイクロ命令を、命令レジスタのマイクロ命令に切り替えて複数の実行部へ出力する切り替え部とを備え、前記第1読出アドレス又は第2読出アドレスが前記所定のアドレス列の中のアドレスである場合、そのアドレスは前記各アドレス変換テーブルによって変換アドレスに変換される。前記命令レジスタ群は、変換テーブルから出力された各変換アドレスに対応するマイクロ命令を出力することを特徴とする映像音声処理装置。

【請求項24】 請求項23記載の映像音声処理装置であって、

前記各変換テーブルは、さらに、第1プログラムカウンタが前記所定のアドレス列中の第1読出アドレスを出力する間、前記レジスタ中の加減算を示すマイクロ命令出力に伴って、加算すべきか減算すべきかを示すフラグを前記複数の実行部へ出力し、前記各実行部は、前記フラグに従って加減算を実行し、前記フラグは、前記第2制御記憶部のマイクロ命令に従って設定されることを特徴とする映像音声処理装置。

【請求項25】 請求項23記載の映像音声処理装置であって、

前記第2制御記憶部は、さらに、第1プログラムカウンタが前記所定のアドレス列中の第1読出アドレスを出力する間、前記レジスタ中のマイクロ命令出力に伴って、マイクロ命令実行結果の格納先を示す情報を前記複数の実行部へ出力し、

前記各実行部は、格納先情報に従って実行結果を格納することを特徴とする映像音声処理装置。

【請求項26】 請求項14記載の映像音声処理装置であって、

前記解析手段は、ヘッダ情報に基づいて量子化スケールと動きベクトルとを算出し、

前記通知手段は、量子化スケールを演算手段に、動きベクトルを合成手段に通知することを特徴とする映像音声

処理装置。

【請求項27】 請求項26記載の映像音声処理装置であって、

前記演算手段は、

それぞれマイクロプログラムを記憶する第1、第2の制御記憶部と、

第1制御記憶部に第1読出アドレスを指定する第1プログラムカウンタと、

第2読出アドレスを指定する第2プログラムカウンタと、

第1読出アドレスと第2読出アドレスとの一方を選択して第2制御記憶部へ出力するセレクトと、

乗算器と加算器とを有し、第1、第2制御記憶部によるマイクロプログラム制御によりブロック単位の逆量子化と逆離散余弦変換とを実行する実行部とを有することを特徴とする映像音声処理装置。

【請求項28】 請求項27記載の映像音声処理装置であって、

前記実行部は、セレクトにより第2読出アドレスが選択されたとき、乗算器を用いた処理と加算器を用いた処理とを独立並行して行い、セレクトにより第1読出アドレスが選択されたとき、乗算器を用いた処理と加算器を用いた処理とを連動させて行うことを特徴とする映像音声処理装置。

【請求項29】 請求項28記載の映像音声処理装置であって、

前記演算手段は、さらに、実行部により逆離散余弦変換されたブロックを保持する第2バッファを有し、

前記第1制御記憶部は、逆量子化処理するマイクロプログラムと、逆離散余弦変換するマイクロプログラムとを記憶し、

前記第2制御記憶部は、逆離散余弦変換するマイクロプログラムと、逆離散余弦変換された映像ブロックを第2バッファに転送するマイクロプログラムとを記憶し、

前記実行手段は、逆離散余弦変換された映像ブロックを第2バッファに転送する処理と、次の映像ブロックを逆量子化する処理とを並列に実行し、逆量子化された当該映像ブロックを逆離散余弦変換する処理を乗算器と加算器とを連動させて実行することを特徴とする映像音声処理装置。

【請求項30】 請求項29記載の映像音声処理装置であって、

前記合成手段は、さらに、圧縮すべき映像データから差分画像を表す差分ブロックを生成し、

前記第2バッファは、さらに生成された差分画像を保持し、

第1制御記憶部は、さらに、離散余弦変換するマイクロプログラムと、量子化処理するマイクロプログラムとを記憶し、

第2制御記憶部は、さらに、離散余弦変換するマイクロ

プログラムと、離散余弦変換された映像ブロックを第1バッファに転送するマイクロプログラムとを記憶し、前記実行手段は、さらに、第2バッファに保持された差分ブロックに対して離散余弦変換と量子化を実行して第1バッファに転送し、

前記データ変換手段は、さらに、第1バッファのブロックに対して可変長符号化を行い、

前記逐次処理手段は、さらに、データ変換手段により可変長符号化された所定のブロックに対してヘッダ情報を付加することを特徴とする映像音声処理装置。

【請求項31】 圧縮音声データと圧縮映像データとを含むデータストリームを、入力、デコード及び出力する映像音声処理装置であって、

外部要因により非同期に入力されるデータストリームをメモリに格納する入出力処理を行う入出力処理手段と、メモリに格納されたデータストリームに対して、条件判断を主とする逐次処理であって、圧縮音声データ及び圧縮映像データのヘッダ解析と、圧縮音声データのデコードとを含む逐次処理を行なう逐次処理手段と、

逐次処理手段のヘッダ解析結果に従って、メモリに格納された圧縮映像データに対して、定型的な演算を主とする定型処理であって、圧縮映像データのデコードを含む定型処理を行なう定型処理手段とを備え、

逐次処理手段によりデコードされた音声データ、及び定型処理手段によりデコードされた映像データは前記メモリに格納され、

前記入出力処理は、さらにデコードされた音声データ、映像データをそれぞれメモリから読み出し、外部の表示装置、音声出力装置のそれぞれの出力レートに合わせた出力処理を含むことを特徴とする映像音声処理装置。

【請求項32】 請求項31記載の映像音声処理装置であって、

前記逐次処理手段は、データストリーム中の所定ブロック単位に付加されたヘッダ情報の解析と、データストリーム中の音声データの復号とを交互に行い、1ブロックのヘッダ解析が終了したとき、定型処理手段に当該ブロックのデコード開始を指示し、定型処理手段からそのブロックのデコード終了通知を受けたとき、次のブロックのヘッダ解析を開始し、

前記定型処理手段は、逐次処理手段の解析結果に従って、圧縮映像データを所定ブロック単位にデコードすることを特徴とする映像音声処理装置。

【請求項33】 請求項32記載の映像音声処理装置であって、

前記定型処理手段は、

逐次処理手段の指示に従ってデータストリーム中の圧縮映像データを可変長復号するデータ変換手段と、

可変長復号により得られたブロックデータに対して、所定の演算を施すことにより逆量子化および逆離散余弦変換を行う演算手段と、

逆離散余弦変換後のブロックデータと、メモリに格納された復号済みフレームの矩形画像とを合成することによりブロックに相当する映像データを復元する合成手段とを備えることを特徴とする映像音声処理装置。

【請求項34】 請求項33記載の映像音声処理装置であって、

前記演算手段は、さらに1ブロックに相当する記憶領域を有する第1バッファを有し、

前記データ変換手段は、

10 データストリーム中の圧縮映像データを可変長復号する可変長復号手段と、

第1バッファの記憶領域のアドレスをジグザグスキャン順に並べた第1アドレス列を記憶する第1アドレステーブル手段と、

第1バッファの記憶領域のアドレスをオルタネートスキャン順に並べた第2アドレス列を記憶する第2アドレステーブル手段と、

第1アドレス列と第2アドレス列の一方に従って、可変長復号手段の可変長復号により得られるブロックデータを第1バッファに書き込む書き込み手段とを有することを特徴とする映像音声処理装置。

【請求項35】 請求項34記載の映像音声処理装置であって、

前記書き込み手段は、

第1アドレステーブル手段及び第2アドレステーブル手段に対するテーブルアドレスを順次発生するテーブルアドレス発生手段と、

テーブルアドレスが入力された第1テーブル手段、第2テーブル手段からそれぞれ出力される第1アドレス列のアドレス、第2アドレス列のアドレスのうち、一方を選択するアドレス選択手段と、

選択されたアドレスを第1バッファに出力するアドレス出力手段とを有することを特徴とする映像音声処理装置。

【請求項36】 請求項31記載の映像音声処理装置であって、

前記入出力処理手段は、

外部から非同期データストリームを入力する入力手段と、

40 外部の表示装置にデコードされた映像データを出力する映像出力手段と、

外部の音声出力装置にデコードされた音声データを出力する音声出力手段と、

命令メモリに格納された第1から第4のタスクを切替えながら実行するプロセッサとを有し、

前記第1タスクは入力部から前記メモリにデータストリームを転送するプログラムであり、

前記第2タスクは前記メモリからデコード処理手段にデータストリームを供給するプログラムであり、

50 前記第3タスクは前記メモリから映像出力部にデコード

された映像データを出力するプログラムであり、前記第4タスクは前記メモリから音声出力部にデコードされた音声データを出力するプログラムであることを特徴とする映像音声処理装置。

【請求項37】 請求項36記載の映像音声処理装置であって、

前記プロセッサは、

前記第1から第4タスクに対応する少なくとも4つのプログラムカウンタを有するプログラムカウンタ部と、

1つのプログラムカウンタが指す命令アドレスを用いて、各タスクプログラムを記憶する命令メモリから命令を取り出す命令フェッチ部と、

命令取出部に取出された命令を実行する命令実行部と、所定数の命令サイクルが経過する毎に、命令フェッチ部に対してプログラムカウンタを順次切替えるように制御するタスク制御部とを有することを特徴とする映像音声処理装置。

【請求項38】 請求項37記載の映像音声処理装置であって、

前記プロセッサは、さらに前記第1から第4タスクに対応する少なくとも4つのレジスタセットを有するレジスタ部を有し、

前記タスク制御部は、プログラムカウンタの切替えと同時に、命令実行部が使用すべきレジスタセットを切り替えることを特徴とする映像音声処理装置。

【請求項39】 請求項38記載の映像音声処理装置であって、

前記タスク制御部は、

プログラムカウンタが切替えられる毎に、クロック信号に従って命令サイクル数をカウントするカウンタと、カウンタにおけるカウント値が前記所定数に達したとき、命令フェッチ部に対してプログラムカウンタを切替えるように制御する切替え指示部とを有することを特徴とする映像音声処理装置。

【請求項40】 請求項38記載の映像音声処理装置であって、

前記定型処理手段は、

逐次処理手段の指示に従ってデータストリーム中の圧縮映像データを可変長復号するデータ変換手段と、

可変長復号により得られたブロックデータに対して、所定の演算を施すことにより逆量子化および逆離散余弦変換を行う演算手段と、

逆離散余弦変換後のブロックデータと、メモリに格納された復号済みフレームの矩形画像とを合成することによりブロックに相当する映像データを復元する合成手段とを備えることを特徴とする映像音声処理装置。

【請求項41】 請求項40記載の映像音声処理装置であって、

前記演算手段は、さらに1ブロックに相当する記憶領域を有する第1バッファを有し、

前記データ変換手段は、

データストリーム中の圧縮映像データを可変長復号する可変長復号手段と、

第1バッファの記憶領域のアドレスをジグザグスキャン順に並べた第1アドレス列を記憶する第1アドレステーブル手段と、

第1バッファの記憶領域のアドレスをオルタネートスキャン順に並べた第2アドレス列を記憶する第2アドレステーブル手段と、

10 第1アドレス列と第2アドレス列の一方に従って、可変長復号手段の可変長復号により得られるブロックデータを第1バッファに書き込む書き込み手段とを有することを特徴とする映像音声処理装置。

【請求項42】 請求項41記載の映像音声処理装置であって、

前記書き込み手段は、

第1アドレステーブル手段及び第2アドレステーブル手段に対するテーブルアドレスを順次発生するテーブルアドレス発生手段と、

20 テーブルアドレスが入力された第1テーブル手段、第2テーブル手段からそれぞれ出力される第1アドレス列のアドレス、第2アドレス列のアドレスのうち、一方を選択するアドレス選択手段と、

選択されたアドレスを第1バッファに出力するアドレス出力手段とを有することを特徴とする映像音声処理装置。

【請求項43】 請求項40記載の映像音声処理装置であって、

前記解析手段は、ヘッダ情報に基づいて量子化スケールと動きベクトルとを算出し、

30 前記通知手段は、量子化スケールを演算手段に、動きベクトルを合成手段に通知することを特徴とする映像音声処理装置。

【請求項44】 請求項43記載の映像音声処理装置であって、

前記演算手段は、

それぞれマイクロプログラムを記憶する第1、第2の制御記憶部と、

第1制御記憶部に第1読出アドレスを指定する第1プログラムカウンタと、

第2読出アドレスを指定する第2プログラムカウンタと、

第1読出アドレスと第2読出アドレスとの一方を選択して第2制御記憶部に出力するセレクトと、

乗算器と加算器とを有し、第1、第2制御記憶部によるマイクロプログラム制御によりブロック単位の逆量子化と逆離散余弦変換とを実行する実行部とを有することを特徴とする映像音声処理装置。

【請求項45】 請求項44記載の映像音声処理装置であって、



前記実行部は、セクタにより第2読出アドレスが選択されたとき、乗算器を用いた処理と加算器を用いた処理とを独立並行して行い、セクタにより第1読出アドレスが選択されたとき、乗算器を用いた処理と加算器を用いた処理とを連動させて行うことを特徴とする映像音声処理装置。

【請求項46】 請求項45記載の映像音声処理装置であって、

前記演算手段は、さらに、データ変換手段からの映像ブロックを保持する第1バッファと、

実行部により逆離散余弦変換されたブロックを保持する第2バッファとを有し、

前記第1制御記憶部は、逆量子化処理するマイクロプログラムと、逆離散余弦変換するマイクロプログラムとを記憶し、

前記第2制御記憶部は、逆離散余弦変換するマイクロプログラムと、逆離散余弦変換された映像ブロックを第2バッファに転送するマイクロプログラムとを記憶し、

前記実行手段は、逆離散余弦変換された映像ブロックを第2バッファに転送する処理と、次の映像ブロックを逆量子化する処理とを並列に実行し、逆量子化された当該映像ブロックを逆離散余弦変換する処理を乗算器と加算器とを連動させて実行することを特徴とする映像音声処理装置。

【請求項47】 請求項46記載の映像音声処理装置であって、

前記合成手段は、さらに、圧縮すべき映像データから差分画像を表す差分ブロックを生成し、

前記第2バッファは、さらに生成された差分画像を保持し、

第1制御記憶部は、さらに、離散余弦変換するマイクロプログラムと、量子化処理するマイクロプログラムとを記憶し、

第2制御記憶部は、さらに、離散余弦変換するマイクロプログラムと、離散余弦変換された映像ブロックを第1バッファに転送するマイクロプログラムとを記憶し、

前記実行手段は、さらに、第2バッファに保持された差分ブロックに対して離散余弦変換と量子化を実行して第1バッファに転送し、

前記データ変換手段は、さらに、第1バッファのブロックに対して可変長符号化を行い、

前記逐次処理手段は、さらに、データ変換手段により可変長符号化された所定のブロックに対してヘッダ情報を付加することを特徴とする映像音声処理装置。

【請求項48】 請求項43記載の映像音声処理装置であって、

前記演算手段は、それぞれマイクロプログラムを記憶する第1、第2の制御記憶部と、

第1制御記憶部に第1読出アドレスを指定する第1プログラムカウンタと、

第2読出アドレスを指定する第2プログラムカウンタと、

第1読出アドレスと第2読出アドレスとの一方を選択して第2制御記憶部に出力するセクタと、

乗算器と加算器とをそれぞれ有し、第1、第2制御記憶部によるマイクロプログラム制御によりブロック単位の逆量子化と逆離散余弦変換とを実行する複数の実行部とを備え、

各実行部は、ブロックを分割した部分ブロックを分担して処理することを特徴とする映像音声処理装置。

【請求項49】 請求項48記載の映像音声処理装置であって、

前記演算手段は、さらに、

各実行部に対応して設けられ、各変換テーブルは所定のアドレス列に対応して部分的にアドレス順序を入れ換えた変換アドレス保持する複数のアドレス変換テーブルと、

20 所定の演算を実現するマイクロプログラムを構成する個々のマイクロ命令を変換アドレスに対応させて記憶する複数のレジスタからなる命令レジスタ群と、

第1及び第2制御記憶部と複数の実行部との間に設けられ、第1制御記憶部又はセクタから各実行部に出力されるマイクロ命令を、命令レジスタのマイクロ命令に切り替えて複数の実行部に出力する切り替え部とを備え、前記第1読出アドレス又は第2読出アドレスが前記所定のアドレス列の中のアドレスである場合、そのアドレスは前記各アドレス変換テーブルによって変換アドレスに変換される。前記命令レジスタ群は、変換テーブルから出力された各変換アドレスに対応するマイクロ命令を出力することを特徴とする映像音声処理装置。

【請求項50】 請求項49記載の映像音声処理装置であって、

前記各変換テーブルは、さらに、第1プログラムカウンタが前記所定のアドレス列中の第1読出アドレスを出力する間、前記レジスタ中の加減算を示すマイクロ命令出力に伴って、加算すべきか減算すべきかを示すフラグを前記複数の実行部に出力し、

40 前記各実行部は、前記フラグに従って加減算を実行し、前記フラグは、前記第2制御記憶部のマイクロ命令に従って設定されることを特徴とする映像音声処理装置。

【請求項51】 請求項49記載の映像音声処理装置であって、

前記第2制御記憶部は、さらに、第1プログラムカウンタが前記所定のアドレス列中の第1読出アドレスを出力する間、前記レジスタ中のマイクロ命令出力に伴って、マイクロ命令実行結果の格納先を示す情報を前記複数の実行部に出力し、

50 前記各実行部は、格納先情報に従って実行結果を格納す



ることを特徴とする映像音声処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル信号処理の技術分野に属するものであって、圧縮された映像及び音声データの伸長、映像及び音声データの圧縮、グラフィックス処理などを行う画像処理装置に関する。

【0002】

【従来の技術】近年、ディジタル動画データの圧縮／伸長技術が確立されてきたことや、LSI技術が向上してきたこととがあいまって、圧縮映像及び音声データを伸長するデコーダ、映像及び音声データを圧縮するエンコーダ、グラフィックス処理を行うグラフィックス処理などの種々の映像音声処理装置が重要視されている。

【0003】第1の従来技術として、MPEG (Moving Picture Experts Group) 規格の圧縮映像及び音声データを伸長する映像音声デコーダ (特開平8-1116429) がある。この映像音声デコーダは、1つの信号処理ユニットを用いて映像デコードと音声デコードの両方を行う。図1に、この映像音声デコーダによるデコード処理の説明図を示す。同図の縦軸は時間を、横軸は演算量を表している。

【0004】縦軸に沿って大きく見ると、映像デコードと音声デコードとが交互に処理される。これは、共通のハードウェアで映像、音声の両者をデコードするためである。同図のように映像デコードは、逐次処理とブロック処理とに分けられる。逐次処理は、ブロック以外のデコード、つまりMPEGストリームのヘッダ解析など多岐にわたる条件判断を必要とする処理であり、その演算量は少ない。ブロックデコードは、MPEGストリームの可変長符号を復号しさらにブロック単位に逆量子化、逆DCT (離散余弦変換) を行う処理であり、その演算量は大きい。同図のように音声デコードも、多岐にわたる条件判断を必要とする上記と同様の逐次処理と、音声データ本体のデコード処理とに分けられる。音声データ本体のデコード処理は、画像データよりも高い精度が要求され、かつ限られた時間内に処理しなければならないので、精度よく高速に処理する必要があり、その演算量は大きい。

【0005】このように、第1の従来技術は、1チップ化を可能にし、1チップという少ないハードウェアで効率的な音声映像デコードを実現している。第2の従来技術として、2チップ構成のデコーダがある。1チップは映像デコーダ、他の1チップは音声デコーダとして用いられる。図2に2チップ構成のデコーダによるデコード処理の説明図を示す。映像デコーダ、音声デコーダともにヘッダ解析等の条件判断を多数含む逐次処理と、データ本体のデコードを主とするブロックデコード処理とを行う。映像デコーダ、音声デコーダともに、独立に処理するので第1の従来技術と比べて個々のチップの能力は

低くてよい。

【0006】

【発明が解決しようとする課題】しかしながら上記従来技術によれば、次のような問題があった。第1の従来技術によれば、信号処理ユニットが映像も音声もデコードしなねばならないので、高い処理能力が要求される。つまり100MHz以上の高速クロックを用いて動作させる必要があり、民生用の半導体としてはコストが高いという問題がある。また、高速クロックを用いずに処理能力を高めるために、VLW (Very Long Instruction Word) プロセッサなどを用いることも考えられなくはないが、VLWプロセッサそのもののコストが高いうえに、別途逐次処理を行うプロセッサを用いなければ全体の処理としては非効率になるという問題がある。

【0007】第2の従来技術によれば、2つのプロセッサを用いるのでコストが高いという問題があった。つまり、映像用プロセッサも音声用プロセッサも、処理能力の低い汎用の安価なプロセッサをそのまま使用することはできない。なぜなら映像用のプロセッサは、大量の画像データをリアルタイムに処理する能力が要求されるからである。また音声用のプロセッサは、映像用プロセッサほど多くの演算量を要求されないけれども、音声データの方が画像データよりも高い精度を要求されるからである。それゆえ、安価なあるいは処理能力の低いプロセッサでは、映像用としても音声用としても、要求される処理能力を満たさない。

【0008】さらに、ディジタル (衛星) 放送用チューナー (STB (Set Top Box) と呼ばれる) やDVD (Digital Versatile/Video Disc) 再生装置などに用いられるAVデコーダ中に上記映像音声処理装置が用いられる場合には、放送波から受信されたあるいはディスクから読み出されたMPEGストリームを入力し、そのMPEGストリームをデコードし、最終的にディスプレイ、スピーカなどへ映像信号出力及び音声信号出力をするまでに必要とされる一連の処理量は膨大なものとなる。最近では、このような一連の膨大な処理を効率良く実行する映像音声処理装置に対する要求が高まっている。

【0009】本発明は、圧縮画像及び圧縮音声データを表すストリームデータの入力、デコード、出力という一連の処理を行い、高い周波数で動作させなくても高い処理能力を有し、製造コストを低減させることができる映像音声処理装置を提供することを目的とする。また本発明の他の目的は、圧縮映像データのデコード、映像データのエンコード、グラフィックス処理を低コストで実現する映像音声処理装置を提供することにある。

【0010】

【課題を解決するための手段】上記の課題を解決するため本発明の映像音声処理装置は、圧縮音声データと圧縮映像データとを含むデータストリームを外部から入力、デコードし、デコードしたデータを出力装置に出力する

装置であって、外部要因により非同期に発生する入出力処理を行う入出力処理手段と、前記入出力処理と並行して、メモリに格納されたデータストリームのデコードを主とするデコード処理を行うデコード処理手段とを備え、前記デコード処理手段によりデコードされた映像データ、デコードされた音声データはメモリに格納され、前記入出力処理は、外部から非同期に入力される前記データストリームを入力し、さらにメモリに格納することと、メモリに格納されたデータストリームをデコード処理手段に供給することと、外部の表示装置、音声出力装置それぞれの出力レートに合わせてメモリから読み出し、それらに出力することとを入出力処理として行うように構成されている。

【0011】この構成によれば、入出力処理手段とデコード処理手段とがパイプライン的に並列動作することに加えて、非同期処理とデコード処理とを入出力処理手段とデコード処理手段とに分担させるので、デコード処理手段は非同期に発生する処理から解放されてデコード処理に専従することができる。その結果、本映像音声処理装置は、ストリームデータ入力、デコード、出力という一連の処理を効率良く実行するので、ストリームデータのフルデコード（フレーム落ちなし）を高速な動作クロックを用いなくても可能にしている。

#### 【0012】

【発明の実施の形態】本発明の映像音声処理装置について、その実施の形態を次のように項分けして記載する。

### 1 第1の実施形態

#### 1.1 映像音声処理装置の概略構成

##### 1.1.1 入出力処理部

##### 1.1.2 デコード処理部

##### 1.1.2.1 逐次処理部

##### 1.1.2.2 定型処理部

#### 1.2 映像音声処理装置の構成

##### 1.2.1 入出力処理部の構成

##### 1.2.2 デコード処理部

##### 1.2.2.1 逐次処理部

##### 1.2.2.2 定型処理部

#### 1.3 各部の詳細構成

##### 1.3.1 プロセッサ7（逐次処理部）

##### 1.3.2 定型処理部

##### 1.3.2.1 コード変換部

##### 1.3.2.2 画素演算部

##### 1.3.2.3 画素読み書き部

##### 1.3.3 入出力処理部

##### 1.3.3.1 I/Oプロセッサ

##### 1.3.3.1.1 命令読出回路

##### 1.3.3.1.2 タスク管理部

#### 1.4 動作説明

### 2 第2の実施形態

#### 2.1 映像音声処理装置の構成

##### 2.1.1 画素演算部

<1. 第1の実施形態>本実施形態における映像音声処理装置は、衛星放送受信装置（STB: Set Top Boxと呼ばれる）、DVD(Digital Versatile Disc)再生装置、DVD-RAM記録再生装置などに備えられ、圧縮映像／音声データとして衛星放送から又はDVDからのMP EGストリームを入力し、伸長処理（以下単にデコードと呼ぶ）を行って、映像信号及び音声信号を外部の出力装置に出力する。

10 <1.1 映像音声処理装置の概略構成>図3は、本発明の第1の実施形態における映像音声処理装置の概略構成を示すブロック図である。

【0013】映像音声処理装置1000は、入出力処理部1001、デコード処理部1002、メモリコントローラ6を備え、入出力処理とデコード処理とを分離して並行して行うように構成されている。また、外部メモリ3は、MP EGストリームやデコード後の音声データを一時的に記憶する作業用メモリ、デコード後の映像データを記憶するフレームメモリとして利用される。

20 <1.1.1 入出力処理部>入出力処理部1001は、映像音声処理装置1000の内部動作とは非同期に発生する入出力処理を行う。この入出力処理は、(a)外部から非同期に入力されるMP EGストリームを入力して外部メモリ3に一時的に格納すること、(b)外部メモリ3に格納されたMP EGストリームをデコード処理部1002に供給すること、(c)デコードされた映像データ、音声データを外部メモリ3から読み出し、外部の表示装置、音声出力装置（図外）それぞれの出力レートに合わせて出力することを内容とする。

30 <1.1.2 デコード処理部>デコード処理部1002

は、入出力処理部1001の動作とは独立に並行して、入出力処理部1001によって供給されるMP EGストリームのデコードし、デコード後の映像データ及び音声データを外部メモリ3に格納する。MP EGストリームのデコード処理は演算量が多く処理内容も多岐にわたるため、デコード処理部1002は、逐次処理部1003、定型処理部1004とを備え、多岐に亘る条件判断を主とする逐次処理と、定型的な大量の演算を主としかつ並列演算に適した定型処理とを分離して並行して実行するように構成されている。ここで、逐次処理は、MP EGストリームのヘッダ解析などであり、ヘッダの検出及びヘッダ内容の判定等の多数の条件判断含む。また定型処理は、所定数の画素からなるブロック単位に各種演算を施す必要があるため、パイプライン的な並列処理に適していて、かつ、異なるデータ（画素）に対して全く同じ演算を施すというベクトル演算のような並列処理に適している。

<1.1.2.1 逐次処理部>逐次処理部1003は、入出力処理部1001から供給される圧縮音声データ及び圧縮映像データのヘッダ解析と、定型処理部1004をマ

クロック毎に起動する制御と、圧縮音声データのデコード処理とを上記逐次処理として行う。ヘッダ解析は、MPEGストリームにおけるマクロブロックヘッダの解析と、動きベクトルの復号を含む。ここでブロックとは、8×8画素からなる画像を表す。マクロブロックとは、4つの輝度ブロックと2つの色差ブロックからなる。動きベクトルとは、参照フレーム中の8×8画素の矩形領域を指すベクトルであり、当該ブロックが参照フレーム中のどの矩形領域との差分がとられたかを指し示す。

<1.1.2.2 定型処理部>定型処理部1004は、逐次処理部1003からマクロブロック毎にデコードの起動指示を受けて逐次処理部1003の音声デコード処理と並行して、マクロブロックのデコード処理を上記定型処理として行う。このデコード処理は、可変長符号の復号(VLD:Variable Length code Decoding)、逆量子化(IQ:Inverse Quantization)、逆離散余弦変換(IDCT:Inverse Discrete Cosine Transform)、動き補償(MC:Motion Compensation)を同順に施すことを内容とする。定型処理部1004は、動き補償において、復号後のブロックをフレームメモリとしての外部メモリ3にメモリコントローラ6を介して格納する。

<1.2 映像音声処理装置の構成>図4は、映像音声処理装置1000のより詳細な構成を示すブロック図である。

<1.2.1 入出力処理部の構成>同図において入出力処理部1001は、ストリーム入力部1、バッファメモリ2、入出力プロセッサ5(以下I/Oプロセッサ5と略す)、DMAC(Direct Memory Access Controller)5a、ビデオ出力部12、音声出力部13、ホストI/F部14とを備える。

【0014】ストリーム入力部1は、外部からシリアルに入力されるMPEGデータストリームをパラレルデータ(以降、MPEGデータと呼ぶ)に変換する。その際、ストリーム入力部1は、MPEGデータストリームからGOP(Group Of Picture: Iピクチャを1つ含み、約0.5秒分の動画に相当するMPEGデータストリーム)のスタートコードを検出し、その旨をI/Oプロセッサ5に通知する。この通知により変換後のMPEGデータは、I/Oプロセッサ5の制御によりバッファメモリ2に転送される。

【0015】バッファメモリ2は、ストリーム入力部1から転送されたMPEGデータを一時的に保持する緩衝用メモリである。バッファメモリ2に保持されたMPEGデータは、さらに入出力プロセッサ5の制御の下でメモリコントローラ6を介して外部メモリ3に転送される。外部メモリ3は、SDRAM(Synchronous Dynamic Random Access Memory)チップにより構成され、バッファメモリ2からメモリコントローラ6を介して転送されたMPEGデータを一時的に保持する。さらに、外部

メモリ3は復号後の映像データ(以降、フレームデータとも呼ぶ)および復号後の音声データも保持する。

【0016】入出力プロセッサ5は、ストリーム入力部1、バッファメモリ2、外部メモリ3(メモリコントローラ6が介在する)、FIFOメモリ4の間のデータ入出力を制御する。すなわち以下の(1)~(4)に示す経路のデータ転送(DMA転送)を制御する。

(1)ストリーム入力部1→バッファメモリ2→メモリコントローラ6→外部メモリ3

10 (2)外部メモリ3→メモリコントローラ6→FIFOメモリ4

(3)外部メモリ3→メモリコントローラ6→バッファメモリ2→ビデオ出力部12

(4)外部メモリ3→メモリコントローラ6→バッファメモリ2→音声出力部13

これらの経路では入出力プロセッサ5は、MPEGデータ中の映像データと音声データとを独立にそれぞれの転送を制御する。また、(1)、(2)は復号前のMPEGデータの転送経路である。(1)、(2)の転送経路において入出力プロセッサ5は、圧縮映像データと圧縮音声データとを別個に転送する。(3)、(4)はそれぞれ、復号後の映像、音声データの転送経路である。復号後の映像、音声データは、外部の表示装置(図外)、音声出力装置(図外)それぞれの出力レートに合わせて転送される。

【0017】DMAC5aは、ストリーム入力部1、ビデオ出力部12、音声出力部13とバッファメモリ2との間のDMA転送、バッファメモリ2と外部メモリ3との間のDMA転送、外部メモリ3とFIFOメモリ4の間のDMA転送をI/Oプロセッサ5の制御に従って実行する。ビデオ出力部12は、外部の表示装置(CRT等)の出力レート(たとえば水平同期信号Hsyncの周期)に合せて入出力プロセッサ5にデータ要求を出し、入出力プロセッサ5により上記(3)の転送経路により入力される映像データをその表示装置に出力する。

【0018】音声出力部13は、外部の音声出力装置の出力レートに合せて入出力プロセッサ5にデータ要求を出し、入出力プロセッサ5により上記(4)の転送経路により入力される音声データを音声出力装置(D/Aコンバータ、音声アンプ、スピーカの組み合わせ等)に出力する。ホストI/F部14は、外部のホストプロセッサ、たとえばDVD再生装置の場合にはその制御全般を行うプロセッサとの通信を行うためのインターフェースである。この通信では、ホストプロセッサからMPEGストリームのデコード開始、停止、早送り再生、逆再生等の指示などが送られる。

<1.2.2 デコード処理部>図4のデコード処理部1002は、FIFOメモリ4、逐次処理部1003、定型処理部1004と備え、入出力処理部1001からFIFOメモリ4を介して供給されるMPEGデータのデコード処理を行う。また、逐次処理部1003は、プロセッサ7と内部メモリ8とを備える。定型処理部1004

は、コード変換部9、画素演算部10、画素読み書き部11、バッファ200、バッファ201を備える。

【0019】FIFOメモリ4は、2つのFIFO（以下映像FIFO、音声FIFOと呼ぶ）からなり、入出力プロセッサ5の制御の下で外部メモリ3から転送された圧縮映像データ、圧縮音声データをそれぞれ先入れ先出し式に記憶する。

<1.2.2.1 逐次処理部>プロセッサ7は、FIFOメモリ4の圧縮映像データ及び圧縮音声データの読み出しを制御するとともに、圧縮映像データに対する一部のデコード処理と、圧縮音声データに対する全デコード処理とを行う。圧縮映像データの一部のデコード処理とは、MPEGデータ中のヘッダ情報の解析と動きベクトルの計算と圧縮映像デコード処理の制御とを含む。これは、圧縮映像データの全デコード処理を、プロセッサ7と、定型処理部1004とで分担して行うためである。つまりプロセッサ7は多岐にわたる条件判断を必要とする逐次処理を分担し、定型処理部1004は、大量の定型的な演算処理を分担する。これに対し音声デコードは、映像デコードに比べて演算量が少ないのでプロセッサ7が全部を担当している。

【0020】プロセッサ7の機能を図5を用いて具体的に説明する。図5はMPEGストリームを階層的に示とともに映像音声処理装置各部の動作タイミングを示している。同図において横軸は時間軸である。第1階層はMPEGストリームの流れを示す。第2階層のように1秒間のMPEGストリームは、複数のフレーム（I、P、Bピクチャ）を含む。第3階層のように1フレームは、ピクチャヘッダと複数のスライスを含む。第4階層のように1スライスは、スライスヘッダと複数のマクロブロックを含む。第5階層のように1マクロブロックは、マクロブロックヘッダと6つのブロックを含む。

【0021】同図に示す第1～第5階層のデータ構成は、公知文献、例えば株式会社アスキー「ポイント図解式最新MPEG教科書」に詳しく説明されている。プロセッサ7は、同図の第5階層以下に示すように、MPEGストリーム中のマクロブロック層までのヘッダ解析と圧縮音声データの復号とを行う。その際、プロセッサ7は、マクロブロック単位のヘッダ解析結果に従って、コード変換部9、画素演算部10及び画素読み書き部11に対してマクロブロックのデコードを開始を指示し、コード変換部9、画素演算部10及び画素読み書き部11によってマクロブロックのデコードがなされている間、FIFOメモリ4から圧縮音声データの読み出してデコードする。コード変換部9、画素演算部10及び画素読み書き部11によりマクロブロックのデコードが終了したと、プロセッサ7は、割り込み信号によりその旨の通知を受け、圧縮音声データのデコードを中断して、次のマクロブロックのヘッダ解析を開始する。

【0022】内部メモリ8は、プロセッサ7のワークメ

モリであり、復号された音声データを一時的に保持する。保持された音声データは、入出力プロセッサ5により上記(4)の経路で外部メモリ3に転送される。

<1.2.2.2 定型処理部>コード変換部9は、FIFOメモリ4から読み出された圧縮映像データを可変長復号（VLD）する。図5に示すように、コード変換部9は、復号後のデータのうち、ヘッダ情報及び動きベクトルに関する情報（図中の破線区間）をプロセッサ7に転送し、マクロブロック（輝度ブロックY0～Y3と色差ブロックCb、Crとからなる6ブロック）のデータ（図中の実線区間）をバッファ200を介して画素演算部10に転送する。コード変換部9による復号後のマクロブロックのデータは空間周波数成分を表すデータである。

【0023】バッファ200は、コード変換部9により書き込まれる1ブロック（8×8画素分）分の空間周波数成分を表すデータを保持する。画素演算部10は、コード変換部9からバッファ200を介して転送されたブロックデータに対して、逆量子化处理（IQ）及び逆離散余弦変換（IDCT）をブロック単位に行う。画素演算部10による処理結果は、輝度ブロックであれば画素の輝度値又はその差分を表すデータであり、色差ブロックであれば画素の色差又はその差分を表すデータであり、バッファ201を介して画素読み書き部11に転送される。

【0024】バッファ201は、1ブロック（8×8画素分）分の画素データを保持する。画素読み書き部11は、画素演算部10の処理結果に対して、ブロック単位に動き補償を行う。すなわち、Pピクチャ、Bピクチャについては、外部メモリ3内の復号済みの参照フレームから動きベクトルが示す矩形領域をメモリコントローラ6を介して切り出して、画素演算部10の処理結果のブロックと合成することにより、元のブロック画像に復号する。画素読み書き部11による復号結果は、メモリコントローラ6を介して外部メモリ3に格納される。

【0025】上記の動き補償、IQ、IDCTの各内容については公知技術なので詳しい説明は省略する（上記文献参照）。

<1.3 各部の詳細構成>次に、映像音声処理装置1000の主要な各部の詳細な構成について説明する。

<1.3.1 プロセッサ7（逐次処理部）>図6は、プロセッサ7によるマクロブロックヘッダの解析と、他の各部への制御内容とを示す図である。まず同図に略語で示してあるマクロブロックヘッダ中の各データは上記文献等に説明されているのでここでは説明を省略する。

【0026】同図のようにプロセッサ7は、コード変換部9にコマンドを発行して可変長復号されたヘッダ部分のデータを逐次取得し、その内容に従ってコード変換部9、画素演算部10、画素読み書き部11に対してマクロブロックのデコードに必要なデータを設定する。具体

的には、まずプロセッサ7は、コード変換部9にMBAI (Macro BlockAddress Increment) を取得するためのコマンドを発行して (S101)、コード変換部9からMBAIを取得する。このMBAIに基づき当該マクロブロックデータがスキップマクロブロックであれば (今デコードしようとしているマクロブロックが前回と同じであれば)、マクロブロックデータが省略されているのでS117に進み、スキップマクロブロックでなければヘッダ解析を続ける (S102、103)。

【0027】次いで、プロセッサ7はMBT (Macro Block Type) を取得するためのコマンドを発行して、コード変換部9からMBTを取得する。このMBTからブロックのスキャンタイプがジグザグスキャンかオルタネートスキャンかを判断し、画素演算部10にバッファ200の読み出し順序を指示する (S104)。さらに、プロセッサ7は既に取得したヘッダデータからSTWC (Spatial Temporal Weight Code) が存在するか否かを判定し (S105)、存在する場合にはコマンドを発行して取得する (S106)。

【0028】同様にプロセッサ7は、FrMT (Frame Motion Type)、FiMT (Field Motion Type)、DT (DCT type)、QSC (Quantizer Scale Code)、MV (Motion Vector)、CBP (Coded Block Pattern) を取得する (S107~116)。その際、プロセッサ7は、FrMT、FiMT、DTの解析結果を画素読み書き部11に通知し、QSCの解析結果を画素演算部10に通知し、CBPの解析結果をコード変換部9に通知する。これによりIQ、IDCT、動き補償に必要が情報が、コード変換部9、画素演算部10、画素読み書き部11に設定される。

【0029】また2プロセッサ構成では、多岐にわたる条件判断を必要とする上記の逐次処理を各プロセッサが個別に行うため冗長な構成になっていた。次いで、プロセッサ7はコード変換部9に対してマクロブロックのデコード開始指示を発行する (S117)。これによりコード変換部9は、マクロブロック内の各ブロックについてVLDを開始し、VLDの結果をバッファ200を介して画素演算部10に出力する。さらにプロセッサ7は、MVデータに基づいて動きベクトルを計算し (S118)、その計算結果を画素読み書き部11に通知する (S119)。

【0030】上記処理において、動きベクトルに関しては、動きベクトルのデータ (MV) 取得 (S113) し、動きベクトルの計算 (S118) し、動きベクトルを画素読み書き部11に設定する (S119) という一連の処理が必要である。この点、プロセッサ7は、動きベクトルデータ (MV) を取得 (S113) した直後に動きベクトルの計算及び設定 (S118、119) しないで、定型処理部1004へのデコード開始指示を発行してから動きベクトルを計算及び設定を行うようにして

いる。これにより、プロセッサ7の動きベクトル計算および設定処理と、定型処理部1004へのデコード処理とが並列に処理されるようになる。つまり定型処理部1004のデコード開始タイミングを早くしている。

【0031】以上のようにしてマクロブロック1つ分の圧縮映像データのヘッダ解析が完了するので、プロセッサ7は、FIFOメモリ4から圧縮音声データを取得して、音声デコード処理を開始する (S120)。音声デコード処理は、コード変換部9からマクロブロックのデコード完了を示す割り込み信号が入力されるまで続けられる。この割り込み信号によりプロセッサ7は次のマクロブロックに対して上記ヘッダ解析を開始する。

<1.3.2 定型処理部>次に、定型処理部1004は、マクロブロック内の6つのブロックをコード変換部9、画素演算部10、画素読み書き部11を並列に (パイプライン的に) に動作させることによりデコード処理を行っている。ここでは、画素演算部10、画素読み書き部11、コード変換部9の順にそれらの構成をより詳細に説明する。

<1.3.2.1 コード変換部9>図19は、コード変換部9の構成を示すブロック図である。

【0032】同図のコード変換部9は、VLD部901、カウンタ902、インクリメンタ903、セレクト904、スキャンテーブル905、スキャンテーブル906、フリップフロップ (以下FFと略す) 907、セレクト908とを備え、可変長復号 (VLD) した結果をブロック単位に、ジグザグスキャン又はオルタネートスキャンの順に配列するようにバッファ200に書き込むよう構成されている。

【0033】VLD部901は、FIFOメモリ4から読み出された圧縮映像データを可変長復号 (VLD) し、復号後のデータのうち、ヘッダ情報及び動きベクトルに関する情報 (図5中の破線区間) をプロセッサ7に転送し、マクロブロック (輝度ブロックY0~Y3と色差ブロックCb、Crとからなる6ブロック) のデータ (図5中の実線区間) をブロック (64個の空間周波数データ) 単位にバッファ200に出力する。

【0034】カウンタ902、インクリメンタ903、セレクト904からなる回路部分は、VLD部901からの空間周波数データの出力に同期して、0から63までを繰り返しカウントする。スキャンテーブル905は、バッファ200のブロック記憶領域のアドレスをジグザグスキャンの順に記憶しているテーブルであり、カウンタ902の出力値 (0~63) が順に入力され、順次そのアドレスを出力する。図20にバッファ200中の8×8個の空間周波数データを記憶するブロック記憶領域と、ジグザグスキャンの順路を示す。スキャンテーブル905は、同図の順路における画素アドレスを順次出力する。

【0035】スキャンテーブル906は、バッファ200

0のブロック記憶領域のアドレスをオルタネートスキヤンの順に記憶しているテーブルであり、カウンタ902の出力値(0~63)が順に入力され、順次そのアドレスを出力する。図21にバッファ200中の8×8個の空間周波数データを記憶するブロック記憶領域と、オルタネートスキヤンの順路を示す。スキャンテーブル905は、同図の順路における画素アドレスを順次出力する。

【0036】FF907は、スキャンタイプ(ジグザグスキャンかオルタネートスキヤンか)を示すフラグを保持する。このフラグは、プロセッサ7により設定される。セクタ908は、FF907のフラグに応じてスキャンテーブル905とスキャンテーブル906とから出力されるアドレスを選択し、バッファ200に書き込みアドレスとして出力する。

<1.3.2.2 画素演算部>図7は、画素演算部10の構成を示すブロック図である。

【0037】同図のように画素演算部10は、乗算器502と加減算器503からなる実行部501と、第1プログラムカウンタ(以降、第1PCと略す)504と、第2プログラムカウンタ(以降、第2PCと略す)505と、第1命令メモリ506と、第2命令メモリ507と、セクタ508とを有し、IQとIDCTの一部とをオーバーラップさせて並列に実行できるように構成されている。

【0038】実行部501は、第1命令メモリ506、第2命令メモリ507から順次出力されるマイクロ命令に従って、バッファ200、201のアクセス及び演算を実行する。第1命令メモリ506、第2命令メモリ507は、バッファ200に保持されたブロック(周波数成分)に対して、IQ、IDCTを実現するためのマイクロプログラムを記憶する制御記憶である。図8に、第1命令メモリ506及び第2命令メモリ507に記憶されたマイクロプログラムの一例を示す。

【0039】同図において、第1命令メモリ506はIDCT1Aマイクロプログラムと、IQマイクロプログラムとを記憶し、第1PC504によって読み出しアドレスが指定される。IQマイクロプログラムは、バッファ200の読み出しと、乗算とを主体とする演算処理であり、加減算器503を用いない。第2命令メモリ507はIDCT1Bマイクロプログラムと、IDCT2マイクロプログラムとを記憶し、セクタ508を介して第1PC504又は第2PC505により読出アドレスが指定される。ここで、IDCT1は、乗算及び加減算を主とするIDCTの前半部分の処理を意味し、IDCT1AマイクロプログラムとIDCT1Bマイクロプログラムとが同時に読み出されることにより実行部501全体を使って実行される。また、IDCT2は、加減算を主とするIDCTの後半部分の処理とバッファ201への書き出し処理を意味し、第2命令メモリ507のID

CT2マイクロプログラムが読み出されることによって加減算器503を使って実行される。

【0040】IQは乗算器502により、IDCT2は加減算器503により処理されるので、これらは並列動作可能になっている。図9に、画素演算部10によるIQ、IDCT1、IDCT2の動作タイミング図を示す。図9において、コード変換部9はバッファ200に輝度ブロックY0のデータを書き込むと(タイミングt0)、その旨を制御信号102にて画素演算部10に通知する。画素演算部10は、プロセッサ7のヘッダ解析時に設定されたQS(Quantizer Scale)値を用いて、第1PC504のアドレス指定に従って第1命令メモリ506のIQマイクロプログラムを読み出すことによってバッファ200のデータに対してIQを行う。このとき、セクタ508は第1PC504を選択する(タイミングt1)。

【0041】さらに、画素演算部10は、第1PC504のアドレス指定に従ってIDCT1A及びIDCT1Bマイクロプログラムを読み出すことによってバッファ200のデータに対してIDCT1を行う。このとき、セクタ508は第1PC504を選択するので、第1命令メモリ506、第2命令メモリ507の双方に第1PC504からのアドレスが指定される(タイミングt2)。

【0042】次に、画素演算部10は、上記QS(Quantizer Scale)値を用いて、第1PC504のアドレス指定に従って第1命令メモリ506のIQマイクロプログラムを読み出すことによってバッファ200のブロックY1のデータに対してIQを行い、同時に、第2PC505のアドレス指定に従って第2命令メモリ507のIDCT2マイクロプログラムを読み出すことによってブロックY0に対してIDCT処理の後半部分を処理する。このときセクタ508は第2PC505を選択する。第1PC504と第2PC505とは独立にアドレスを指定することになる(タイミングt3)。

【0043】この後も同様に画素演算部10はブロック単位に処理を続ける(タイミングt4以降)。

<1.3.2.3 画素読み書き部>図10は、画素読み書き部11の詳細な構成を示すブロック図である。同図のように画素読み書き部11は、バッファ71~74(以下、バッファA~Dと呼ぶ)と、ハーフペル補間部75と、合成部76と、セクタ77、78と、読み書き制御部79とからなる。

【0044】読み書き制御部79は、バッファ201を介して入力されるブロックデータに対して、バッファA~Dを用いて動き補償を行い、最終的な復号画像を2ブロック単位で外部メモリ3に転送する。より具体的には、プロセッサ7のヘッダ解析時に設定された動きベクトルに従って、外部メモリ3中の参照フレームから2ブロック分に相当する矩形領域を読み出すようメモリコン



トローラ6を制御する。その結果、バッファA又はバッファBに動きベクトルが指し示す2ブロック分の矩形領域のデータが格納される。その後、ピクチャの種類（IかPかBピクチャか）に応じて2ブロック分の矩形領域のハーフペル補間を合成部76にて行う。さらにバッファ201を介して入力されるブロックデータと、ハーフペル補間後の矩形領域とを合成（加算）することにより、当該ブロックの画素値を算出し、バッファBに格納する。こうしてバッファBに格納された最終的な復号ブロックはメモリコントローラ6を介して外部メモリ3に転送される。

<1.3.3 入出力処理部>入出力処理部1001は、上記のように多数のデータ入出力（データ転送）を実行するために、種々のデータ転送を分担する複数のタスクをオーバーヘッドなく切り替え、しかもデータ入出力要求に対して応答遅延を生じさせないように構成されている。ここでいうオーバーヘッドは、タスクスイッチ時に発生するコンテキストの退避及び復帰である。つまり入出力プロセッサ5は、プログラムカウンタの命令アドレスやレジスタデータをメモリ（スタック領域）に退避及び復帰することにより生ずるオーバーヘッドを解消するように構成されている。ここでは、その詳細な構成について説明する。

<1.3.3.1 I/Oプロセッサ>図11は、I/Oプロセッサ5の構成を示すブロック図である。同図において、I/Oプロセッサ5は、状態監視レジスタ51、命令メモリ52、命令読出回路53、命令レジスタ54、デコーダ55、演算実行部56、汎用レジスタセット群57、タスク管理部58を備え、非同期に発生する複数のイベントに対応するために、極めて短い周期（例えば4命令サイクル）毎にタスクを切り替えながら実行するよう構成されている。

【0045】状態監視レジスタ51は、レジスタCR1～CR3からなり、I/Oプロセッサ5が種々の入出力状態を監視するための種々の状態データ（フラグなど）を保持する。例えば、状態監視レジスタ51は、ストリーム入力部1の状態（MPEGストリームにおけるスタートコード検出フラグ）、ビデオ出力部12の状態（水平ブランキング期間を示すフラグ、フレームデータの転送完了フラグ）、音声出力部13の状態（音声フレームデータの転送完了フラグ）や、それらとバッファメモリ2、外部メモリ3及びFIFOメモリ4との間でのデータ転送の状態（データ転送数、FIFOメモリ4へのデータ要求フラグ）などを示す状態データを保持する。

【0046】より具体的には、以下のフラグ等を含む。  
・スタートコード検出フラグ（以下フラグ1とも呼ぶ）  
このフラグは、ストリーム入力部1によってMPEGストリームにおけるスタートコードが検出されたとき設定される。

・水平ブランキングフラグ（フラグ2）

このフラグは、水平ブランキング期間を示すフラグであり、ビデオ出力部12により設定される。約60マイクロ秒周期で設定される。

・映像フレームデータの転送完了フラグ（フラグ3）

このフラグは、外部メモリ3からビデオ出力部12へ1フレーム分の復号された画像データが転送されたときDMAC5aによって設定される。

・音声フレームデータの転送完了フラグ（フラグ4）

このフラグは、外部メモリ3から音声出力部13へ1フレーム分の復号された音声データが転送されたときDMAC5aによって設定される。

・データ転送完了フラグ（フラグ5）

このフラグは、ストリーム入力部1からバッファメモリ2へI/Oプロセッサ5により指定されたデータ数の圧縮画像データがDMAC5aによりDMA転送されたとき（ターミナルカウントになったとき）に設定される。

・DMA要求フラグ（フラグ6）

このフラグは、バッファメモリ2の圧縮画像データ又は圧縮音声データを外部メモリ3へDMA転送すべきデータがあることを示すフラグであり、I/Oプロセッサ5により設定される（後述するタスク1からタスク2への要求）。

・映像FIFOへのデータ要求フラグ（フラグ7）

このフラグは、外部メモリ3からFIFOメモリ4中の映像FIFOへのデータ転送を要求するフラグであり、映像FIFOの圧縮映像データが所定量以下になったとき設定される。このフラグは、約5～40マイクロ秒周期で設定される。

・音声FIFOへのデータ要求フラグ（フラグ8）

このフラグは、外部メモリ3からFIFOメモリ4中の音声FIFOへのデータ転送を要求するフラグであり、音声FIFOの圧縮音声データが所定量以下になったときに設定される。このフラグは、約15～60マイクロ秒周期で設定される。

・デコーダ通信要求フラグ（フラグ9）

このフラグは、デコード処理部1002から入出力処理部1001へ通信を要求するフラグである。

・ホスト通信要求フラグ（フラグ10）

このフラグは、ホストプロセッサから入出力処理部1001へ通信を要求するフラグである。

【0047】上記のフラグ類は、I/Oプロセッサ5により実行される各タスクにより、割り込みではなく、定期的に監視される。命令メモリ52は、多数のデータ入出力（データ転送）制御を分担する複数のタスクプログラムを記憶する。本実施例では、タスク0～5の6つのタスクプログラムを記憶する。

・タスク0（ホストI/Fタスク）

本タスクは、上記フラグ10が設定されたとき、ホストコンピュータとの通信、つまりホストI/F部14を介したホストコンピュータとの通信処理を行うためのタスク



である。例えば、ホストプロセッサからのMPEGストリームのデコード開始、停止、早送り再生、逆再生等の受け付けと、デコード状況（エラー等）の通知などが行われる。この処理は、上記フラグ10をトリガーとする。

・タスク1（パーズングタスク）

本タスクは、ストリーム入力部1によりスタートコードが検出されたとき（上記フラグ1）、ストリーム入力部1から入力されるMPEGデータを解析（パーズング）して、個々のエレメンタリストリームを抽出して、抽出されたエレメンタリストリームを、DMA転送（上記転送経路(1)の前半部分）によりバッファメモリ2に転送するプログラムである。ここで抽出されるエレメンタリストリームの種類は、圧縮映像データ（ビデオエレメンタリストリームとも呼ぶ）、圧縮音声データ（オーディオエレメンタリストリームとも呼ぶ）、プライベートデータなどがある。エレメンタリストリームをバッファメモリ2に格納したときに、上記フラグ6が設定される。

・タスク2（ストリーム転送／オーディオタスク）

本タスクは、次の（a）～（c）の転送を制御するプログラムである。

【0048】（a）バッファメモリ2から外部メモリ3へ個々のエレメンタリストリームのDMA転送（上記転送経路(1)の後半部分）。この転送は、上記フラグ1、3をトリガーとする。

（b）オーディオFIFOに保持されている圧縮音声データのデータサイズ（残量）に応じて、外部メモリ3からFIFOメモリ4のオーディオFIFOへの圧縮音声データのDMA転送（上記転送経路(2)におけるオーディオFIFOへの転送）。このデータ転送は、オーディオFIFOに保持されている圧縮音声データのデータサイズが一定量よりも少なくなった場合になされる。この転送は、上記フラグ8をトリガーとする。

【0049】（c）外部メモリ3からバッファメモリ2へ、さらにバッファメモリ2から音声出力部13へ復号後のオーディオデータのDMA転送（上記転送経路(4)）。この転送は、上記フラグ2をトリガーとする。

・タスク3（映像供給タスク）

本タスクは、映像FIFOに保持されている圧縮映像データのデータサイズ（残量）に応じて、外部メモリ3からFIFOメモリ4の映像FIFOへの圧縮映像データのDMA転送（上記転送経路(2)における映像FIFOへの転送）を処理するプログラムである。このデータ転送は、映像FIFOに保持されている圧縮映像データのデータサイズが一定量よりも少なくなった場合になされる。この転送は、上記フラグ7をトリガーとする。

・タスク4（ビデオ出力タスク）

本タスクは、外部メモリ3からバッファメモリ2へ、さらにバッファメモリ2からビデオ出力部12へ復号後の

映像データのDMA転送（上記転送経路(4)）を処理するプログラムである。この転送は、上記フラグ2をトリガーとする。

・タスク5（デコーダI/Fタスク）

本タスクは、デコード処理部1002からIOPロセッサ5に向けてのコマンドを処理するプログラムである。コマンドには、「getAPTS」、「getVPTS」、「getSTC」などがある。getVPTS（Video Presentation Time Stamp）は、デコード処理部1002がIOPロセッサ5に対して圧縮映像データに付与されているVPTSの取得を要求するコマンドである。getAPTS（Audio Presentation Time Stamp）は、デコード処理部1002がIOPロセッサ5に対して圧縮音声データに付与されているAPTSの取得を要求するコマンドである。getSTC（System Time Clock）は、デコード処理部1002がIOPロセッサ5に対してSTCの取得を要求するコマンドである。これらのコマンドを受けたIOPロセッサ5は、デコード処理部1002にSTC、VPTS、APTSをそれぞれ通知する。STC、VPTS、APTSは、デコード処理部1002において音声と映像とのデコードを同期させたり、フレーム単位でデコードの進捗を調整するために用いられる。この処理は、上記フラグ9をトリガーとする。

【0050】命令読出回路53は、命令フェッチアドレスを指すプログラムカウンタ（以下PCと略す）を複数個備え、タスク管理部58により指定されたPCを用いて命令メモリ52から命令を読み出して命令レジスタ54に格納する。具体的には、命令読出回路53は、上記タスク0～5に対応するPC0～5を有し、タスク管理部58によるPCの指定が変更されたとき、ハードウェアにより高速にPCを切り替えるように構成されている。この構成によりIOPロセッサ5は、タスクスイッチに際して現在のタスクのPC値をメモリに退避し、メモリから次のタスクのPC値を復帰する処理から解放されている。

【0051】デコーダ55は、命令メモリ52から読み出されて命令レジスタ54に格納された命令を解釈し、当該命令を実行するように演算実行部56を制御する。加えて、デコーダ55は、IOPロセッサ5全体を、命令読出回路53の命令読み出しステージ、デコーダ55の解釈ステージ、演算実行部56の実行ステージの少なくとも3段からなるパイプライン制御を行う。

【0052】演算実行部56は、ALU（Arithmetic Logical Unit）、乗算器、BS（Barrel Shifter）などを有し、デコーダ55の制御に従って、命令で指定された演算を実行する。汎用レジスタセット群57は、タスク0～タスク5に対応する6つのレジスタセット（1レジスタセットは4本の32ビットレジスタと4本の16ビットレジスタ）を備えている。全部で24本の32ビットレジスタと24本の16ビットレジスタとを有し、実

行中のタスクに対応するレジスタセットが使用される。これによりIOPROCESSA5は、タスクスイッチに際して現在の全レジスタデータをメモリに退避し、メモリから次のタスクのレジスタデータを復帰する処理から解放されている。

【0053】タスク管理部58は、所定数の命令サイクル数毎に、命令読出回路53のPC及び汎用レジスタセット群57のレジスタセットを切り替えることによりタスク切替えを行う。本実施例では上記所定数は4である。またIOPROCESSA5は1命令を1命令サイクルでパイプライン処理するので、タスク管理部58は、上記オーバーヘッドを生じることなしに4命令毎にタスクを切り替えることになる。これにより非同期に発生する各種の入出力要求に対して応答遅延を抑えている。つまり入出力要求に対する応答遅延は、最大でもわずか24命令サイクルしか生じない。

<1.3.3.1.1 命令読出回路>図12は、命令読出回路53の詳細な構成例を示すブロック図である。

【0054】同図において命令読出回路53は、タスク別PC格納部53a、現IFAR (Instruction Fetch Address Register) 53b、インクリメンタ53c、次IFAR53d、セクタ53e、セクタ53f、DECAR (DECode Address Register) 53gを備え、タスク切替えに際してオーバーヘッドなしに命令読み出しアドレスを切り替えるように構成されている。

【0055】タスク別PC格納部53aは、タスク0〜5に対応する6本のアドレスレジスタを有し、タスク毎にプログラムカウンタ値を保持する。各プログラムカウンタ値は、対応するタスクの再開アドレスである。タスク切替えに際して、タスク管理部58及びデコーダ55の制御の下で、次に実行すべきタスクに対応するアドレスレジスタからプログラムカウンタ値が読み出され、現に実行しているタスクに対応するアドレスレジスタのプログラムカウンタ値が新たな再開アドレスに更新される。このとき、次に実行すべきタスク、現タスクは、それぞれタスク管理部58により"nexttaskid (rd add r)"信号(以下タスクIDとも呼ぶ)、“taskid (wr a ddr)”信号により指定される。

【0056】タスク0、1、2に対応するプログラムカウンタ値を図13のPC0、1、2に示す。同図において、(0-0)はタスク0の命令0を、(1-4)はタスク1の命令4を表す。例えば、PC0は、タスク0の再開に際して読み出され(命令サイクルt0)、次のタスクへの切替に際して、命令(0-4)のアドレスに更新される(命令サイクルt4)。

【0057】インクリメンタ53c、次IFAR53d、セクタ53eからなるループ回路は、セクタ53eにより選択された命令読み出しアドレスを更新する回路である。セクタ53eから出力されるアドレスを図13のIF1に示す。同図において、例えばタスク0

からタスク1への切替えに際して、セクタ53eは、サイクルt4においてタスク別PC格納部53aから読み出された命令(1-0)アドレスを選択し、サイクルt5〜t7において次IFAR53dからのインクリメントされた命令アドレスを選択する。

【0058】現IFAR53bは、セクタ53eの選択出力IF1を1サイクル遅れて保持し、命令メモリ52に命令読み出しアドレスとして出力する。言い換えれば、現在アクティブなタスクの命令読み出しアドレスを保持する。現IFAR53bの命令読み出しアドレスを、図13のIF2に示す。同図に示すように、IF2は4命令サイクル毎に異なるタスクの命令アドレスを指している。

【0059】DECAR53gは、命令レジスタ54に保持されている命令のアドレスを保持する。つまり、デコード中の命令を指す。図13中のDECに、DECAR53gに保持されたアドレスを示す。また、図13中のEXは、実行中の命令アドレスを示す。セクタ53fは、分岐命令実行時や割込み発生時に分岐アドレスを選択し、それ以外は次IFAR53dのアドレスを選択する。

【0060】このような命令読出回路53を備えることにより、IOPROCESSA5は、図13に示すように4段(IF1、IF2、DEC、EX)のパイプライン処理を行っている。このうちIF1ステージは、複数プログラムカウンタ値の選択及び更新を行うステージである。IF2ステージは、命令を読み出すステージである。

<1.3.3.1.2 タスク管理部>図14は、タスク管理部58の詳細な構成を示すブロック図である。同図においてタスク管理部58は、タスクの切替えタイミングを管理するスロットマネージャと、タスクの順序を管理するスケジューラとに大別される。

【0061】スロットマネージャは、カウンタ58a、ラッチ58b、比較器58c、ラッチユニット58dを有し、4命令サイクル毎にタスク切替えを指示するタスク切替信号(chgtaskex)を命令読出回路53へ出力する。具体的には、ラッチ58bは、カウンタ58aの出力の下位2ビットを保持する2個のFF (Flip Flop) 回路である。カウンタ58aは、命令サイクルを示すクロック毎にラッチ58bの2ビットの出力値を+1インクリメントした3ビットを出力する。その結果、カウンタ58aは、1、2、3、4を繰り返し出力することになる。比較器58cは、カウンタ58aの出力値が定数4と一致したときにタスク切替信号(chgtaskex)を命令読出回路53とスケジューラとに出力する。

【0062】スケジューラは、タスクラウンド管理部58e、プライオリティエンコーダ58f、ラッチ58gを備え、タスク切替信号(chgtaskex)が出力されるごとに、タスクidを更新し、現在のタスクidと次に実行すべきタスクidとを命令読出回路53に出力する。

具体的には、ラッチユニット58d、ラッチ58gは、ともに現在のタスクidをエンコードされた形式（3ビット）で保持する。エンコードされた形式は、その値がタスクidを表す。

【0063】タスクラウンド管理部58eは、タスク切替信号(chgtaskex)が入力されたとき、ラッチユニット58dを参照して、次に実行すべきタスクidを、デコードされた形式（6ビット）で出力する。デコードされた形式（6ビット）は、1ビットが1タスクに対応し、ビット位置がタスクidを表す。プライオリティエンコーダ58fは、タスクラウンド管理部58eから出力されるタスクidを、デコードされた形式からエンコードされた形式に変換する。上記ラッチユニット58d、ラッチ58gは、ともにエンコードされたタスクidを1サイクル遅れて保持する。

【0064】この構成により、タスクラウンド管理部58eは、比較器58cからタスク切替信号(chgtaskex)が出力されたとき、プライオリティエンコーダ58fから次に実行すべきタスクのidを“nexttaskid(rd addr)”信号として、ラッチ58eから現タスクidを“taskid(wr addr)”信号として出力する。

<1.4 動作説明>以上のように構成された第1の実施形態における映像音声処理装置1000について、その動作を説明する。

【0065】入出力処理部1001において、ストリーム入力部1から非同期に入力されるMPEGストリームは、入出力プロセッサ5の制御によって、バッファメモリ2、メモリコントローラ6を介して一旦外部メモリ3に格納され、さらに、メモリコントローラ6を介してFIFOメモリ4に保持される。このときFIFOメモリ4に対して、IOPロセッサ5は、上記タスク2

(b)、タスク3を実行することによりその残量に応じて、圧縮動画データ、圧縮音声データを供給する。これにより、FIFOメモリ4には過不足なく一定量の圧縮動画データ、圧縮音声データが供給されるので、デコード処理部1002は、非同期の入出力とは切り離されて、デコード処理に専従することができる。ここまでの処理は、上記入出力処理部1001により、デコード処理部1002とは独立に並行してなされる。

【0066】一方、デコード処理部1002において、FIFOメモリ4に保持されたMPEGストリームデータは、以降プロセッサ7、コード変換部9、画素演算部10、画素読み書き部11により復号される。FIFOメモリ4以降の復号動作を示す説明図を図15に示す。同図では、横軸を時間軸としておおよそ1マクロブロック分のヘッダ解析及び各ブロック毎のデコードの様子を示している。また縦方向はデコード処理部1002の各部においてブロック毎のデコードがパイプライン的に実行される様子を示している。

【0067】同図に示すように、プロセッサ7は、圧縮

映像データのヘッダ解析と、圧縮音声データに対するデコード処理とを時分割で繰り返す。すなわち、プロセッサ7は、1マクロブロック分のヘッダ解析を行い、解析結果をコード変換部9、画素演算部10、画素読み書き部11に通知した後、コード変換部9に対してマクロブロックのデコード開始を指示する。その後プロセッサ7は、コード変換部9からの割込み信号が通知されるまで、圧縮音声データのデコード処理を行う。デコード後の音声データは内部メモリ8に一旦保持され、さらにメモリコントローラ6により外部メモリ3にDMA転送される。

【0068】また、コード変換部9は、プロセッサ7からマクロブロックのデコード開始指示を受けて、マクロブロック内の各ブロック毎にバッファ200に格納する。このときコード変換部9は、プロセッサ7のヘッダ解析時に通知されたブロックのスキャンタイプに応じてバッファ200への書き込みアドレスの順番を変更する。つまりジグザグスキャンの場合と、オルタネートスキャンの場合とで書き込みアドレスの順番を変更する。これにより画素演算部10は、読み出しアドレスの順番を変更しなくてもよく、スキャンタイプに拘らず常に同じに読み出しアドレスの順番にて読み出すことができる。コード変換部9は、マクロブロック内の6つのブロックをVLD処理をし終えるまで上記動作を繰り返してバッファ200に書き出す。6ブロックのVLDを終えるとプロセッサ7に割込みを発生する。この割込み信号は、マクロブロックデコード終了信号End Of Macro Block(EOMB)である。コード変換部9は6つ目のブロックのブロック終了信号End Of Block(EOB)を検出することによりEOMBを生成している。

【0069】画素演算部10は、コード変換部9と並行して、図9に示したようにバッファ200に格納されたブロックデータをブロック単位にIQ、IDCTを施し、その処理結果をバッファ201に格納する。画素読み書き部11は、画素演算部10と並行して、バッファ201のブロックデータと、プロセッサ7によるヘッダ解析により通知された動きベクトルとに基づいて、図15に示すように外部メモリ3の参照フレームからの矩形領域の切り出しと、ブロック合成とを行う。ブロック合成結果は、FIFOメモリ4を介して外部メモリ3に格納される。

【0070】上記は、スキップマクロブロックではない場合の動作であるが、スキップマクロブロックの場合にはコード変換部9及び画素演算部10は動作せず、画素読み書き部11のみが動作する。スキップマクロブロックがある場合には、参照フレーム中の矩形領域と同じ画像なので、画素読み書き部11により、その画像が復号画像として外部メモリ3にコピーされることになる。

【0071】この場合、コード変換部9からプロセッサ7への割込み信号は次のようにして生成される。すなわ

10

20

30

40

50

ち、プロセッサ7が画素読み書き部11に対して動き補償動作の開始の制御信号を送付したことを示す信号と、画素読み書き部11が動き補償動作が可能であることを示す信号と、スキップマクロブロックであることを示す信号との論理積を取り、さらにこの論理積と上記のEOMB信号との論理和として割込み信号がプロセッサ7に入力される。

【0072】以上説明してきたように本発明の第1実施形態の映像音声処理装置によれば、記憶媒体や通信媒体からのMPEGストリーム入力処理と、表示装置及び音声出力装置への表示画像データ及び音声データの出力処理と、デコード処理部1002へストリームを供給する処理とを入出力処理部1001が分担し、圧縮映像データ及び圧縮音声データのデコード処理をデコード処理部1002が分担するように構成されている。これにより、デコード処理部1002は、非同期に発生する処理から解放されてデコード処理に専従することができる。その結果、MPEGストリーム入力、デコード、出力という一連の処理を効率良く実行するので、高速な動作クロックを用いなくてもMPEGストリームのフルデコード（フレーム落ちなし）を実現することができる。

【0073】また、本映像音声処理装置は、1チップにLSI化することが望ましい。この場合、100MHz以下の動作クロック（実際には54MHz）で上記フルデコードが可能である。この点、動作クロックが100MHzさらには200MHzを越える近年の高性能CPUは、画像サイズが小さければ上記フルデコードを可能にしているが、その反面製造コストが高価である。これに対して、本映像音声処理装置は、製造コストの点とフルデコードの点で優れている。

【0074】さらに、本映像音声処理装置のデコード処理部1002は、次のように役割分担している。つまり、プロセッサ7が圧縮映像データに対しても圧縮音声データに対しても多岐にわたる条件判断を必要とするヘッダ解析を担当するとともに音声圧縮データのデコードも担当する。圧縮映像データのブロックデータに対しては、定型的大量の演算量が要求されるので、コード変換部9、画素演算部10、画素読み書き部11という専用のハードウェア（ファームウェア）が、デコード処理を担当する。図15に示したようにコード変換部9、画素演算部10、画素読み書き部11は、パイプライン化されている。画素演算部10は、IQとIDCTとが並列処理が可能になっている。画素読み書き部11は2ブロック単位の参照フレームのアクセスを実現している。これらにより圧縮音声デコード処理の効率化が達成されているので、映像デコード専用のハードウェア部分は高速クロックを用いなくとも、高い処理能力を得ることができる。具体的には100MHzを越える高速クロックを用いずに50～60MHz程度のクロックで従来と同程度以上の処理能力が得られた。従って、高速素子を用

いる必要がなく製造コストを押さえることができる。

【0075】また、映像デコードの基本単位をプロセッサ7においてマクロブロック単位、コード変換部9および画素演算部10においてブロック、画素読み書き部11において2ブロックとしているので、映像デコードにおける緩衝バッファの容量を最小限に抑えることが可能となる。

<2 第2の実施形態>本実施形態の映像音声処理装置は、圧縮ストリームデータのデコード機能に加えて、さらに、圧縮機能（以降、エンコード処理と呼ぶ）とグラフィックス機能を果たすように構成されている。

<2.1 映像音声処理装置の構成>図16は、本発明の第2の実施形態における映像音声処理装置の構成を示すブロック図である。

【0076】この映像音声処理装置2000は、ストリーム入出力部21、バッファメモリ22、FIFOメモリ24、入出力プロセッサ25、メモリコントローラ26、プロセッサ27、内部メモリ28、コード変換部29、画素演算部30、画素読み書き部31、ビデオ出力部12、音声出力部13、バッファ200、バッファ201とからなる。映像音声処理装置2000は、図4に示した映像音声処理装置1000の機能に加えて、次の機能が付加されている。すなわち、映像データと音声データの圧縮機能と、ポリゴンデータを描画するグラフィックス機能が付加されている。

【0077】そのため、映像音声処理装置2000において、図4と同名称の構成要素は全く同じ機能を有し、さらに、圧縮機能とグラフィックス機能を果たす機能が付加されている。以下図4と同じ点は説明を省略し、異なる点を中心に説明する。ストリーム入出力部21は、双方向になっている点が異なる。つまり、入出力プロセッサ25の制御によりバッファメモリ22からMPEGデータを転送されると、転送されたパラレルデータをシリアルデータに変換して、MPEGデータストリームとして外部に出力する。

【0078】バッファメモリ22、FIFOメモリ24も双方向になった点が異なる。入出力プロセッサ25は、第1実施形態に示した(1)～(4)に示す経路のデータ転送を制御することに加えて、(5)～(8)の経路の転送をも制御する。

(1)ストリーム入出力部21→バッファメモリ22→メモリコントローラ26→外部メモリ3

(2)外部メモリ3→メモリコントローラ26→FIFOメモリ24

(3)外部メモリ3→メモリコントローラ26→バッファメモリ22→ビデオ出力部12

(4)外部メモリ3→メモリコントローラ26→バッファメモリ22→音声出力部13

(5)外部メモリ3→メモリコントローラ26→内部メモリ28

(6)外部メモリ3→メモリコントローラ26→画素読み書き部31

(7)FIFOメモリ24→メモリコントローラ26→外部メモリ3

(8)外部メモリ3→メモリコントローラ26→バッファメモリ22→ストリーム入出力部21

(5)(6)の径路は、映像データ、音声データのエンコード処理を行う場合の元のデータの径路であり、(7)(8)は、圧縮後のMPEGストリームの径路を示す。

【0079】まず、エンコード処理について説明する。エンコードすべきデータは外部メモリ3に格納されているものとする。外部メモリ3の映像データは、メモリコントローラ26を画素読み書き部31が制御することにより画素読み書き部31に転送される。画素読み書き部31は映像データを第2のバッファ201に書き込む処理と差分画像生成処理を行なう。差分画像生成処理は、ブロック単位の動き検出(動きベクトルの算出)と差分画像の生成とからなる。そのため、画素読み書き部31は、符号化対象ブロックと類似する矩形領域と参照フレーム内で探索することにより動きベクトルを検出する動き検出回路を内部に有している。なお動き検出回路の代わりに、隣接するフレームの既に計算済みのブロックの動きベクトルを利用して符号化対象の動きベクトルを見積もる動き見積回路を備えるようにしてもよい。

【0080】画素演算部25は、ブロック単位に差分画像データを受け取り、DCT、IDCT、量子化処理

(以降、Q処理)、IQを行なう。こうして量子化された映像データはバッファ200に格納される。コード変換部29は、バッファ200から量子化データを受け取り可変長符号処理(VLC)を行なう。可変長符号化されたデータは先入れ先出しメモリ24に格納され、メモリコントローラ26を通して外部メモリ3に格納されるとともに、プロセッサ27によりマクロブロック毎にヘッダ情報が付加される。

【0081】また、外部メモリ3の映像データは、メモリコントローラ26を介して内部メモリ28に転送される。プロセッサ27は、マクロブロック毎にヘッダ情報を付加する処理と時分割で、内部メモリ28の音声データの圧縮処理を行う。以上のように、エンコード処理は、第1の実施形態と逆の径路で処理されることになる。

【0082】次に、グラフィックス処理について説明する。グラフィックス処理は、ポリゴンと呼ばれる矩形型図形の組合せによって行なわれる三次元画像生成処理である。本装置においてはポリゴンの頂点座標における画素データからポリゴン内部の画素データを生成する処理を行う。最初にポリゴンの頂点データは外部メモリ3に格納されている。

【0083】頂点データは、プロセッサ27がメモリコントローラ26を制御することにより内部メモリ28に格納される。プロセッサ27は内部メモリ28より頂点データを読みだしDDA(Digital Difference Analyze)の前処理を行ないFIFOメモリ24に書き込む。コード変換部29は、画素演算部30の指示に従ってFIFO

メモリ24から頂点データを読みだし画素演算部30に転送する。

【0084】画素演算部30は、DDA処理を行ない画素読み書き部31に送信する。画素読み書き部31は、プロセッサ27の指示に従い、Zバッファ処理あるいはαブレンディング処理を行ないメモリコントローラ26を介して外部メモリ3に画像データを書き出す。

<2.1.1 画素演算部>図17は、画素演算部30の構成を示すブロック図である。

【0085】同図は、図7に示した画素演算部10と同じ構成要素には同じ番号を付与し、説明を省略し、以下異なる点を中心に説明する。異なる点は、同図のように画素演算部30は、図7に示した画素演算部10に対して実行部が3面(501a~501c)になっている点と、命令ポインタ保持部308と命令レジスタ309と分配部310とが追加された点とである。

【0086】実行部501a~501cが3面になっているのは、演算性能を向上させるためである。具体的には、グラフィックス処理においてはカラー画像RGBを独立に並列演算する。IQおよびQ処理では、乗算器502を3つ用いて高速化を図っている。IDCTにおいては乗算器502および加減算器503を複数用いることによって時間短縮を図っている。IDCTにおいてはバタフライ演算と呼ばれる演算が存在し、これは演算の元となる全てのデータ間で依存関係があるので、実行部501a~501cのユニット間通信を行なうデータ線103を設けている。

【0087】第1命令メモリ506、第2命令メモリ507は、IDCT、IQに加えてDCT、Q処理、DDA用のマイクロプログラムが格納されている。図18に、第1命令メモリ506、第2命令メモリ507の記憶内容の一例を示す。図8に比べてQ処理マイクロプログラムと、DCTマイクロプログラムと、DDAマイクロプログラムとが追加されている。

【0088】命令ポインタ保持部308a~308cは、実行部501a~501cに対応して設けられ、それぞれ第1プログラムカウンタから入力されるアドレスを変換して命令レジスタ部309に出力する変換テーブルを有する。変換後のアドレスは、命令レジスタ部309のレジスタ番号を意味する。さらに、命令ポインタ保持部308a~308cは、それぞれ後述するモディファイフラグを保持し命令実行部501a~501cに出力する。

【0089】変換テーブルについては命令ポインタ保持部308a、308b、308cは、例えば入力アドレスが1,2,3,4,5,6,7,8,9,10,11,12である場合に、それぞれ次のような変換後アドレスを出力する。

命令ポインタ保持部308a:1,2,3,4,5,6,7,8,9,10,11,12

命令ポインタ保持部308b:2,1,4,3,6,5,8,7,10,9,1

2, 11

命令ポインタ保持部308c:4, 3, 2, 1, 8, 7, 6, 5, 12, 11, 10, 9

命令レジスタ部309は、図23に示すように、マイクロ命令を保持する複数のレジスタ3つのセクタと3つの出力ポートとからなる。3つのセクタは、命令ポインタ部308a、308b、308cから入力される変換アドレス（レジスタ番号）に指定されるレジスタのマイクロ命令を選択する。3つの出力ポートは、セクタに対応して設けられ、それぞれセクタに選択されたマイクロ命令を分配部310を介して実行部501a～501cに出力する。3つのセクタ及び出力ポートが設けられているのは、3つの加減算器503（又は3つの乗算器502）に同時に異なるマイクロ命令を供給するためである。本実施例では3つの出力ポートは、分配部310を介して3つの加減算器503と3つの乗算器502の何れかに選択的に供給するものとする。

【0090】例えば、命令レジスタ部309はレジスタR1～R16（レジスタ番号1～16）を備えている。レジスタR1～R16に格納されているマイクロプログラムは、DCT及びIDCTにおいて必要な行列演算処理を表し、上記の3つのレジスタ番号順のいずれによっても同一処理を行うように格納されている。つまり、上記3つの実行順をもつマイクロプログラムは、実行順序が可換な一部のマイクロ命令の順序が入れ換えられている。これは、実行部501a～501cが並列にマイクロプログラムを実行するので、実行部501a～501c間でレジスタ（図外）アクセスの競合など資源干渉を回避するためである。また、上記行列演算処理は、8×8行列の乗算、転置、転送をその内容とする。

【0091】次に、命令レジスタ部309の各レジスタに格納されるマイクロ命令はニーモニック形式では、「op Ri, Rj, dest, (モディファイフラグ)」と表記される。ただし命令レジスタ部309のマイクロ命令は、「opとRi, Rjと(モディファイフラグ)」の部分だけである。「dest」の部分は命令メモリ506、507から指定される。「(モディファイフラグ)」の部分命令ポインタ保持部308a～308cから指定される。

【0092】ここで、「op」は乗算命令、加減算命令、転送命令などを示すオペレーションコード、「Ri, Rj」はオペランドである。乗算命令は、3つの実行部501a～c中の各乗算器502に実行される命令であり、加算命令及び転送命令は、3つの実行部501a～c中の各乗算器502に実行される命令である。「dest」は演算結果の格納先を示す。この「dest」は命令レジスタ部309のレジスタではなく、命令メモリ506（乗算命令の場合）又は命令メモリ507（加減算命令や転送命令の場合）から指定される。これは、命令レジスタ部309のマイクロプログラムを実行

部501a～501cに共通化するためである。もし転送先をレジスタにより指定すれば実行部501a～501cそれぞれに個別のマイクロプログラムを用意する必要があり、マイクロプログラムの容量が数倍に膨らむことになる。

【0093】「モディファイフラグ」は、加減算命令において、加算であるか減算であるかを示すフラグである。この「モディファイフラグ」は、命令レジスタ部309のレジスタからではなく、命令ポインタ保持部308a～cから別途指定される。これは、DCT、IDCTでの行列演算に用いられる定数行列中に全要素が「1」の行（又は列）と全要素が「-1」の行（又は列）とが含まれるので、命令ポインタ308a～cから「モディファイフラグ」を指定することにより、命令レジスタ部309の同一マイクロプログラムを共用することを可能にしている。

【0094】分配部310は、命令レジスタ部309から入力される3つのマイクロ命令が加減算命令である場合には、それらの「opとRi, Rj」の部分と、命令メモリ506から入力される「dest」の部分と、命令ポインタ部308a～cから入力される「モディファイフラグ」とを3つの加減算器503に分配し、同時に命令メモリ506のマイクロ命令を3つの乗算器502に分配する。また、分配部310は、命令レジスタ部309から入力される3つのマイクロ命令が乗算命令である場合には、それらの「opとRi, Rj」の部分とを命令メモリ506から入力される「dest」の部分とを3つの乗算器502に分配し、命令メモリ507のマイクロ命令を3つの加減算器503に分配する。言い換えれば、分配部310により、3つの加減算器503に供給されるマイクロ命令は、3つの加減算器503に共通する命令については命令メモリ507から1つのマイクロ命令がそれぞれに供給され、3つの加減算器503で異なる加減算命令については命令レジスタ部309からの3つのマイクロ命令がそれぞれに供給される。同様に、3つの乗算器502に供給されるマイクロ命令は、3つの乗算器502に共通する命令については命令メモリ506からマイクロ命令が供給され、3つの乗算器502で異なる乗算命令については命令レジスタ部309からのマイクロ命令がそれぞれに供給される。

【0095】画素演算部30のこのような構成によれば、命令メモリ506、命令メモリ507の記憶容量を削減することができる。もし、画素演算部30が命令ポインタ保持部308a～c、命令レジスタ部309、分配部310を備えていないと仮定すると、命令メモリ506、命令メモリ507はいずれも、3つの実行部501a～cに対して異なるマイクロ命令を供給するには、3つのマイクロ命令を並列に記憶しなければならない。

【0096】図22に命令ポインタ保持部308a～c、命令レジスタ部309、分配部310を備えていな



い場合の命令メモリ506及び命令メモリ507の記憶内容の一例を示す。同図では、16ステップのマイクロプログラムが記憶され、1つのマイクロ命令は16ビット長としている。この場合、命令メモリ506と命令メモリ507は、3つのマイクロ命令を並列に記録することから、合計1536ビット(16ステップ×16ビット×3×2)の記憶容量を必要とする。

【0097】これに対して、本実施例の画素演算部30における、命令ポインタ保持部308a~c、命令レジスタ部309の記憶内容の一例を図23に示す。同図でも16ステップのマイクロプログラムが記憶され、1マイクロ命令は16ビットとしている。同図において、命令ポインタ保持部308a~cは、それぞれ16個のレジスタ番号(4ビット長)を記憶し、命令レジスタ部309は16個のマイクロ命令を記憶する。この場合、命令ポインタ保持部308a~cと命令レジスタ部309との記憶容量は448ビット(16ステップ×(12+16))でよい。このように画素演算部30では、マイクロプログラムの記憶容量を大幅に削減することができる。実際には、「dest」「モディファイフラグ」が別途発行されるようにしているので、その分の記録容量又は回路が必要である。また、命令メモリ506、507はマイクロ命令中の「dest」を指定し、また、実行部501a~cに共通する乗算命令、加減算命令を発行するようにしているので、命令メモリ506、507を完全に削除することまではしていない。もし、命令レジスタ部309に6つの出力ポートを設ければ、命令メモリ506と命令メモリ507とを削除することも可能になる。

【0098】なお、図23では、命令ポインタ保持部308a~308cは、第1プログラムカウンタの値が0~15の場合に、変換アドレス(レジスタ番号)を出力しているが、これに限らない。例えば第1プログラムカウンタの値が32~47の場合に変換アドレスを出力するようにしてもよい。この場合、第1プログラムカウンタの値に適切なオフセット値を加える構成とすればよい。これにより、第1プログラムカウンタが示す任意のアドレス列を変換アドレスに変換することができる。

【0099】以上の構成により、本実施形態では圧縮映像データと圧縮音声データのデコード処理だけでなく、映像および音声データのエンコード処理と、ポリゴンデータに基づくグラフィックス処理とが可能となっている。また、複数の実行部の並列動作により処理効率が向上している。しかも、命令レジスタ部308a~308cにおいて一部のマイクロ命令の順序を入れ換えたことにより、複数の実行部間の資源干渉を回避することができるので、さらに処理効率を向上させている。

【0100】なお、上記実施形態では3つの実行部を有する構成を示しているのは、RGBカラーのそれぞれを独立に演算できる点で有利だからである。さらに実行部

の数は、3つ以上あればいくつでもよい。また、上記実施形態において映像音声処理装置1000、2000は、それぞれ1チップLSI化することが望ましい。さらに外部メモリ3は、チップ外部であるものとして説明したが、1チップ内に内蔵する構成としてもよい。

【0101】また、上記実施形態では外部メモリに対してストリーム入出力部1(あるいはストリーム入出力部21)が、MPEGストリーム(あるいは映像音声データ)を格納していたが、ホストプロセッサが直接外部メモリ3に格納するように構成してもよい。さらに、上記実施形態においてIOプロセッサ5は、4命令サイクル毎にタスク切替えを行っているが、4命令サイクル以外の複数命令サイクル毎であってもよい。また、タスク切替えの命令サイクル数は、タスク毎に予め重み付けをして異なる命令サイクル数にしておいてもよい。また優先度・緊急度に応じてタスク毎の命令サイクル数に重み付けを行ってもよい。

【0102】

【発明の効果】本発明の映像音声処理装置は、圧縮音声データと圧縮映像データとを含むデータストリームを外部から入力、デコードし、デコードしたデータを出力装置に出力する映像音声処理装置であって、外部要因により非同期に発生する入出力処理を行う入出力処理手段と、前記入出力処理と並行して、メモリに格納されたデータストリームのデコードを主とするデコード処理を行うデコード処理手段とを備え、前記デコード処理手段によりデコードされた映像データ、デコードされた音声データはメモリに格納され、前記入出力処理は、外部から非同期に入力される前記データストリームを入力し、さらにメモリに格納することと、メモリに格納されたデータストリームをデコード処理手段に供給することと、外部の表示装置、音声出力装置それぞれの出力レートに合わせてメモリから読み出し、それらに出力することとを入出力処理として行うように構成されている。

【0103】この構成によれば、入出力処理手段とデコード処理手段とがパイプライン的に並列動作することに加えて、非同期処理とデコード処理とを入出力処理手段とデコード処理手段とに分担させるので、デコード処理手段は非同期に発生する処理から解放されてデコード処理に専従することができる。その結果、本映像音声処理装置は、ストリームデータ入力、デコード、出力という一連の処理を効率良く実行するので、ストリームデータのフルデコード(フレーム落ちなし)を高速な動作クロックを用いなくても可能にしている。

【0104】また、前記デコード処理手段は、データストリームに対して、条件判断を主とする逐次処理であって、圧縮音声データ及び圧縮映像データのヘッダ解析と、圧縮音声データのデコードとを含む逐次処理を行なう逐次処理手段と、前記逐次処理と並行して、定型処理を行う。定型処理は、圧縮映像データのヘッダ解析を除



く圧縮映像データのデコードである定型処理手段とを備える構成としてもよい。

【0105】この構成によれば、処理特性の異なる逐次処理と並列処理に適した定型処理とを1つのユニットに併存させることを解消することにより、処理効率を大幅に向上させることができる。特に、定型処理手段の処理効率を向上させることができる。なぜなら本映像音声処理装置において、定型処理手段は上記の非同期処理及び逐次処理から解放されたことから、圧縮映像データのデコードに要求される定型的な種々演算のみに専従できるからである。その結果、高速な動作クロックを用いなくとも高い処理能力を得ることができる。

【0106】さらに、前記入出力処理手段は、外部から非同期データストリームを入力する入力手段と、外部の表示装置にデコードされた映像データを出力する映像出力手段と、外部の音声出力装置にデコードされた音声データを出力する音声出力手段と、命令メモリに格納された第1から第4のタスクを切替えながら実行するプロセッサとを有し、前記第1タスクは入力部から前記メモリにデータストリームを転送するプログラムであり、前記第2タスクは前記メモリからデコード処理手段にデータストリームを供給するプログラムであり、前記第3タスクは前記メモリから映像出力部にデコードされた映像データを出力するプログラムであり、前記第4タスクは前記メモリから音声出力部にデコードされた音声データを出力するプログラムであると構成してもよい。

【0107】ここで、前記プロセッサは、前記第1から第4タスクに対応する少なくとも4つのプログラムカウンタを有するプログラムカウンタ部と、1つのプログラムカウンタが指す命令アドレスを用いて、各タスクプログラムを記憶する命令メモリから命令を取り出す命令フェッチ部と、命令取出部に取出された命令を実行する命令実行部と、所定数の命令サイクルが経過する毎に、命令フェッチ部に対してプログラムカウンタを順次切替えるように制御するタスク制御部とを有する構成としてもよい。

【0108】この構成によれば、外部装置により定まるストリームデータの入力レート及び入力周期、外部表示装置、外部音声出力装置により定まる映像データ、音声データそれぞれの出力レート及び出力周期がどのような範囲であっても、入出力要求に対する応答遅延が極めて小さいという効果がある。また、本発明の映像音声処理装置は、圧縮音声データと圧縮映像データを含むデータストリームを入力する入力手段と、データストリームに対して、条件判断を主とする逐次処理であって、データストリーム中の所定ブロック単位に付加されたヘッダ情報の解析と、データストリーム中の圧縮音声データの復号とを行なう逐次処理手段と、定型演算を主とする定型処理であって、ヘッダ解析の結果を用いてデータストリーム中の圧縮映像データを、前記逐次処理と並行し

て、所定ブロック単位に復号する定型処理手段とを備え、前記逐次処理手段は前記所定ブロックのヘッダ解析が終了したとき、定型処理手段に当該所定ブロックのデコード開始を指示し、定型処理手段から所定ブロックのデコード終了通知を受けたとき、次の所定ブロックのヘッダ解析を開始するように構成してもよい。

【0109】この構成によれば、逐次処理手段が圧縮映像データに対しても圧縮音声データに対しても多岐にわたる条件判断を必要とするヘッダ解析を担当するとともに音声圧縮データのデコードも担当する。一方、定型処理手段は、圧縮映像データのブロックデータに対する、定型的な大量の演算量を担当する。このような役割分担により、また逐次処理手段は映像デコードに比較して演算量が少ない音声デコード全般と、圧縮映像データのヘッダ解析と、定型処理手段の制御とを行う。その制御の下で、定型処理手段は、専ら定型的な演算を行うので、無駄のない効率的な処理を実現できる。それゆえ高い周波数で動作させなくとも処理能力を得ることができ、製造コストを低減させることができる。また、逐次処理手段は、音声デコード全般と、圧縮映像データのヘッダ解析と、定型処理手段の制御とを順次行うので、1プロセッサにて構成できる。

【0110】また、前記定型処理手段は、逐次処理手段の指示に従ってデータストリーム中の圧縮映像データを可変長復号するデータ変換手段と、可変長復号により得られた映像ブロックに対して、所定の演算を施すことにより逆量子化および逆離散余弦変換を行う演算手段と、逆離散余弦変換後の映像ブロックと復号済みのブロックを合成することにより動き補償処理を行って映像データを復元する合成手段とを有し、前記逐次処理手段は、データ変換手段により可変長復号されたヘッダ情報を取得する取得手段と、取得されたヘッダ情報を解析する解析手段と、解析結果として得られるパラメータを定型処理手段に通知する通知手段と、入力手段により入力されたデータストリーム中の圧縮音声データを復号する音声復号手段と、前記定型処理手段から所定ブロックのデコード完了を通知する割込み信号を受けたとき、音声復号手段の動作を停止するとともに取得手段を起動し、前記通知手段が前記通知をしたとき、前記データ変換手段に映像ブロックの可変長復号の開始を指示する制御手段とを有するように構成してもよい。

【0111】この構成によれば、マクロブロックなど所定ブロック単位に逐次処理手段は、ヘッダ解析を行った後音声デコードを行い、定型処理手段により所定ブロックのデコードが完了したとき次のブロックのヘッダ解析を開始する。このように逐次処理手段は時分割でヘッダ解析と音声デコードとを繰り返すので1個のプロセッサにて低コストで実現することができる。また、定型処理手段は多岐にわたる条件判断処理をする必要がないので、低コストで専用ハードウェア（或はハードウェアと

ファームウェア)化することができる。

【0112】ここで、前記演算手段は、さらに1ブロックに相当する記憶領域を有する第1バッファを有し、前記データ変換手段は、データストリーム中の圧縮映像データを可変長復号する可変長復号手段と、第1バッファの記憶領域のアドレスをジグザグスキャン順に並べた第1アドレス列を記憶する第1アドレステーブル手段と、第1バッファの記憶領域のアドレスをオルタネートスキャン順に並べた第2アドレス列を記憶する第2アドレステーブル手段と、第1アドレス列と第2アドレス列の一方に従って、可変長復号手段の可変長復号により得られるブロックデータを第1バッファに書き込む書き込み手段とを有する構成としてもよい。

【0113】この構成によれば、書き込み手段は、ジグザグスキャンとオルタネートスキャンのどちらにも対応して、第1バッファの記憶領域にブロックデータを書き込むことができる。従って演算手段は、第1バッファの記憶領域からブロックデータ読み出すときに、読み出しアドレスの順番を変更しなくてもよく、スキャンタイプに拘らず常に同じに読み出しアドレスの順番にて読み出すことができる。

【0114】さらに、前記解析手段は、ヘッダ情報に基づいて量子化スケールと動きベクトルとを算出し、前記通知手段は、量子化スケールを演算手段に、動きベクトルを合成手段に通知するように構成してもよい。この構成によれば、動きベクトルの算出を逐次処理手段に担当させることができ、合成手段は算出された動きベクトルを用いて定型的に動き補償処理を行うことができる。

【0115】また、前記演算手段は、それぞれマイクロプログラムを記憶する第1、第2の制御記憶部と、第1制御記憶部に第1読出アドレスを指定する第1プログラムカウンタと、第2読出アドレスを指定する第2プログラムカウンタと、第1読出アドレスと第2読出アドレスの一方を選択して第2制御記憶部に出力するセレクタと、乗算器と加算器とを有し、第1、第2制御記憶部によるマイクロプログラム制御によりブロック単位の逆量子化と逆離散余弦変換とを実行する実行部とを有する構成としてもよい。

【0116】この構成によれば、マイクロプログラム(ファームウェア)は多岐にわたる条件判断処理を行う必要がなく、定型的な処理を実現するだけなのでプログラムサイズが小さくかつ作成が容易であり、低コスト化に適している。しかも、2つのプログラムカウンタを使用して乗算器と加算器とを独立して並列に動作させることができる。

【0117】さらに、前記実行部は、セレクタにより第2読出アドレスが選択されたとき、乗算器を用いた処理と加算器を用いた処理とを独立並行して行い、セレクタにより第1読出アドレスが選択されたとき、乗算器を用いた処理と加算器を用いた処理とを連動させて行うよう

構成してもよい。この構成によれば、乗算器及び加算器の遊び時間を減らして処理効率を向上させることができる。

【0118】ここで、前記演算手段は、さらに、データ変換手段からの映像ブロックを保持する第1バッファと、実行部により逆離散余弦変換されたブロックを保持する第2バッファとを有し、前記第1制御記憶部は、逆量子化処理するマイクロプログラムと、逆離散余弦変換するマイクロプログラムとを記憶し、前記第2制御記憶部は、逆離散余弦変換するマイクロプログラムと、逆離散余弦変換された映像ブロックを第2バッファに転送するマイクロプログラムとを記憶し、前記実行手段は、逆離散余弦変換された映像ブロックを第2バッファに転送する処理と、次の映像ブロックを逆量子化する処理とを並列に実行し、逆量子化された当該映像ブロックを逆離散余弦変換する処理を乗算器と加算器とを連動させて実行するように構成してもよい。

【0119】この構成によれば、逆量子化処理と第2バッファへの転送処理とを並列実行するので処理効率を向上させることができる。また、前記入力手段は、さらにポリゴンデータを入力し、前記逐次処理手段は、さらにポリゴンデータを解析してポリゴンの頂点座標とエッジの傾きとを算出し、前記定型処理手段は、さらに算出された頂点座標と傾きとに従って、前記ポリゴンの画像データを生成するように構成してもよい。

【0120】この構成によれば、逐次処理手段はポリゴンデータの解析を担当し、定型処理手段は定型的な画像データ生成処理を担当する。本映像音声処理装置は、効率よくポリゴンデータから画像データを生成するグラフィックス処理を行うことができる。ここで、前記第1、第2制御記憶部は、さらにDDAアルゴリズムによる走査変換を行うマイクロプログラムを記憶し、前記実行部は、さらに逐次処理手段により算出された頂点座標と傾きとに基づいてマイクロプログラム制御により走査変換を行うように構成してもよい。

【0121】この構成によれば、画像データの生成は前記第1、第2制御記憶部に走査変換マイクロプログラムにより簡単に実現することができる。また、前記合成手段はさらに圧縮すべき映像データから差分画像を表す差分ブロックを生成し、前記第2バッファはさらに生成された差分画像を保持し、第1制御記憶部はさらに離散余弦変換するマイクロプログラムと量子化処理するマイクロプログラムとを記憶し、第2制御記憶部はさらに離散余弦変換するマイクロプログラムと離散余弦変換された映像ブロックを第1バッファに転送するマイクロプログラムとを記憶し、前記実行手段はさらに第2バッファに保持された差分ブロックに対して離散余弦変換と量子化とを実行して第1バッファに転送し、前記データ変換手段はさらに第1バッファのブロックに対して可変長符号化を行い、前記逐次処理手段はさらにデータ変換手段によ

り可変長符号化された所定のブロックに対してヘッダ情報を付加するように構成してもよい。

【0122】この構成によれば、定型処理手段は定型的な処理として量子化と離散余弦変換を担当し、逐次処理手段は条件判断を要する処理（ヘッダ情報の付加）を担当する。この場合、本映像音声処理装置は、高速クロックを用いなくても画像データから圧縮映像データへのエンコード処理を効率よく実行することができる。また、前記演算手段は、それぞれマイクロプログラムを記憶する第1、第2の制御記憶部と、第1制御記憶部に第1読出アドレスを指定する第1プログラムカウンタと、第2読出アドレスを指定する第2プログラムカウンタと、第1読出アドレスと第2読出アドレスとの一方を選択して第2制御記憶部に出力するセクタと、乗算器と加算器とをそれぞれ有し、第1、第2制御記憶部によるマイクロプログラム制御によりブロック単位の逆量子化と逆離散余弦変換とを実行する複数の実行部とを備え、各実行部は、ブロックを分割した部分ブロックを分担して処理するように構成してもよい。

【0123】この構成によれば、複数の実行部が並列に演算命令を実行するので、定型的な大量の演算を画素レベルで並列化して効率よく実行することができる。また、前記演算手段は、さらに、各実行部に対応して設けられ、各変換テーブルは所定のアドレス列に対応して部分的にアドレス順序を入れ換えた変換アドレス保持する複数のアドレス変換テーブルと、所定の演算を実現するマイクロプログラムを構成する個々のマイクロ命令を変換アドレスに対応させて記憶する複数のレジスタからなる命令レジスタ群と、第1及び第2制御記憶部と複数の実行部との間に設けられ、第1制御記憶部又はセクタから各実行部に出力されるマイクロ命令を、命令レジスタのマイクロ命令に切り替えて複数の実行部に出力する切り替え部とを備え、前記第1読出アドレス又は第2読出アドレスが前記所定のアドレス列の中のアドレスである場合、そのアドレスは前記各アドレス変換テーブルによって変換アドレスに変換される。前記命令レジスタ群は、変換テーブルから出力された各変換アドレスに対応するマイクロ命令を出力するように構成してもよい。

【0124】この構成によれば、複数の実行部が並列にマイクロプログラムを実行する間、実行部間でアクセスの競合など資源干渉を回避して、さらに効率よく処理することができる。ここで、前記各変換テーブルは、さらに第1プログラムカウンタが前記所定のアドレス列中の第1読出アドレスを出力する間、前記レジスタ中の加減算を示すマイクロ命令出力に伴って、加算すべきか減算すべきかを示すフラグを前記複数の実行部に出力し、前記各実行部は、前記フラグに従って加減算を実行し、前記フラグは、前記第2制御記憶部のマイクロ命令に従って設定されるように構成してもよい。

【0125】この構成によれば、マイクロ命令により加

算を行うか減算を行うかを変換テーブルが指定するので、同じマイクロプログラムを2通りに共用できるので、さらに、マイクロプログラムの全容量を低減させることができ、ハードウェア規模の低減、ひいては低コスト化を実現できる。また、前記第2制御記憶部は、さらに第1プログラムカウンタが前記所定のアドレス列中の第1読出アドレスを出力する間、前記レジスタ中のマイクロ命令出力に伴って、マイクロ命令実行結果の格納先を示す情報を前記複数の実行部に出力し、前記各実行部は、格納先情報に従って実行結果を格納するように構成してもよい。

【0126】この構成によれば、格納先情報は、命令レジスタ群中のマイクロプログラムと別個に指定できるので、当該マイクロプログラムを異なる処理例えば行列演算の部分的な処理において共用することができる。その結果、さらに、マイクロプログラムの全容量を低減させることができ、ハードウェア規模の低減、ひいては低コスト化を実現できる。

【図面の簡単な説明】

【図1】第1の従来技術における映像音声デコードによるデコード処理の説明図を示す。

【図2】第2の従来技術における2チップ構成のデコーダによるデコード処理の説明図を示す。

【図3】本発明の第1の実施形態における画像処理装置の概略構成を示すブロック図である。

【図4】本発明の第1の実施形態における画像処理装置の構成を示すブロック図である。

【図5】MPEGストリームを階層的に示すとともに画像処理装置各部の動作タイミングを示す図である。

【図6】プロセッサ7によるマクロブロックヘッダの解析と、他の各部への制御内容とを示す図である。

【図7】画素演算部10の構成を示すブロック図である。

【図8】第1命令メモリ506及び第2命令メモリ507に記憶されたマイクロプログラムの一例を示す。

【図9】画素演算部10の動作タイミングを示す図である。

【図10】画素読み書き部11の詳細な構成を示すブロック図である。

【図11】IOPロセッサ5の構成を示すブロック図である。

【図12】命令読出回路53の詳細な構成例を示すブロック図である。

【図13】IOPロセッサ5の動作タイミングを示すタイムチャートである。

【図14】タスク管理部の構成を示すブロック図である。

【図15】FIFOメモリ4以降の復号動作を示す説明図である。

【図16】本発明の第2の実施形態における画像処理装

置の構成を示すブロック図である。

【図17】画素演算部30の構成を示すブロック図である。

【図18】第1命令メモリ506、第2命令メモリ507の記憶内容の一例を示す。

【図19】コード変換部9の構成を示すブロック図である。

【図20】8×8個の空間周波数データを記憶するブロック記憶領域と、ジグザグスキャンの順路を示す。

【図21】8×8個の空間周波数データを記憶するブロック記憶領域と、オルタネートスキャンの順路を示す。

【図22】命令ポインタ保持部308a～c、命令レジスタ部309、分配部310を備えていない場合の命令メモリ506及び命令メモリ507の記憶内容の一例を示す。

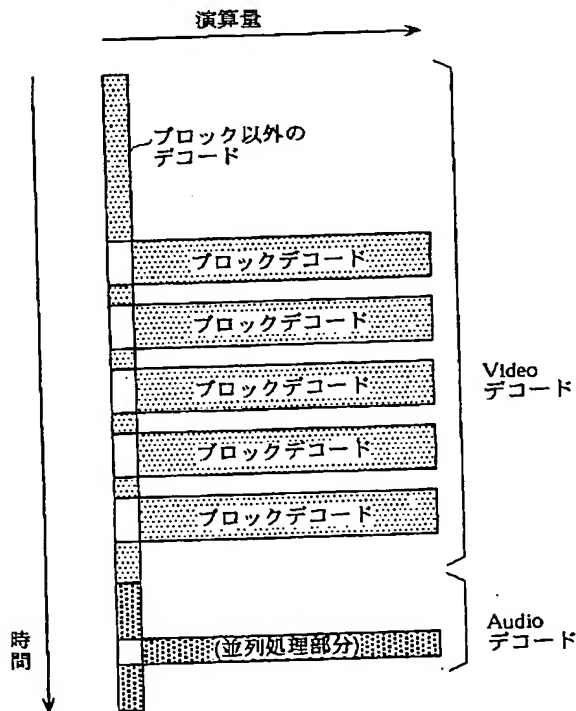
【図23】命令ポインタ保持部308a～c、命令レジスタ部309の記憶内容の一例を示す。

【符号の説明】

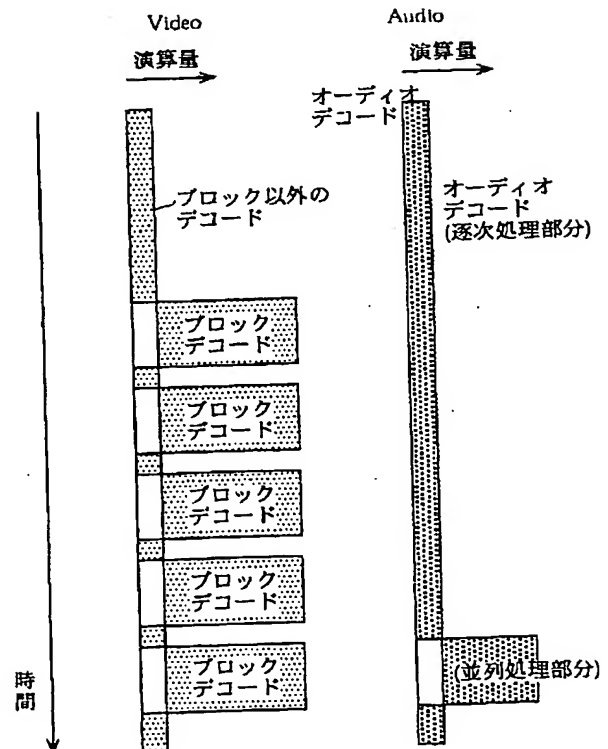
1 ストリーム入力部

- 2 バッファメモリ
- 3 外部メモリ
- 4 FIFOメモリ
- 5 入出力プロセッサ
- 5 a DMAC
- 6 メモリコントローラ
- 7 プロセッサ
- 8 内部メモリ
- 9 コード変換部
- 10 画素演算部
- 12 ビデオ出力部
- 13 音声出力部
- 14 ホストI/F部
- 1000 映像音声処理装置
- 1001 入出力処理部
- 1002 デコード処理部
- 1003 逐次処理部
- 1004 定型処理部

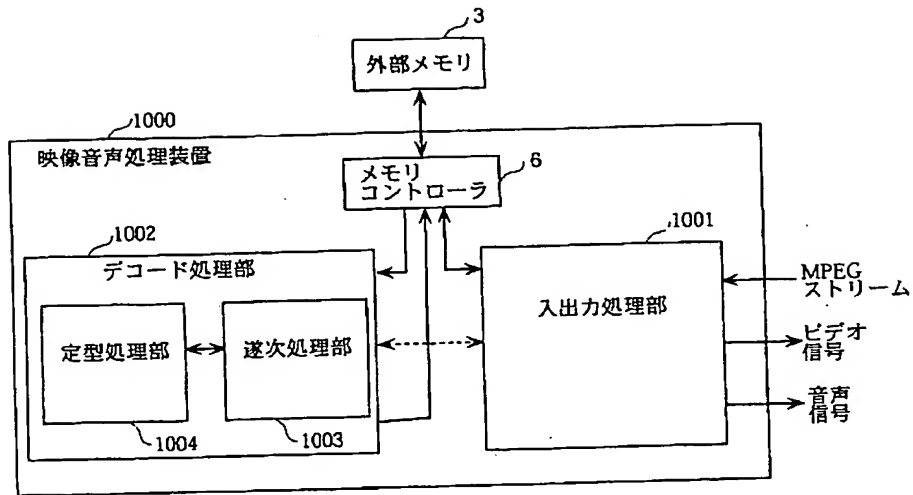
【図1】



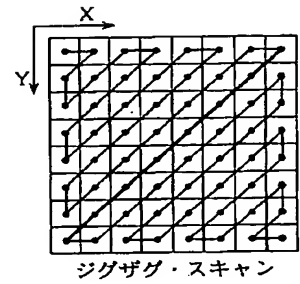
【図2】



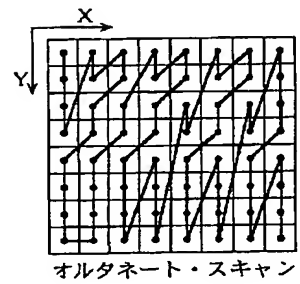
【図3】



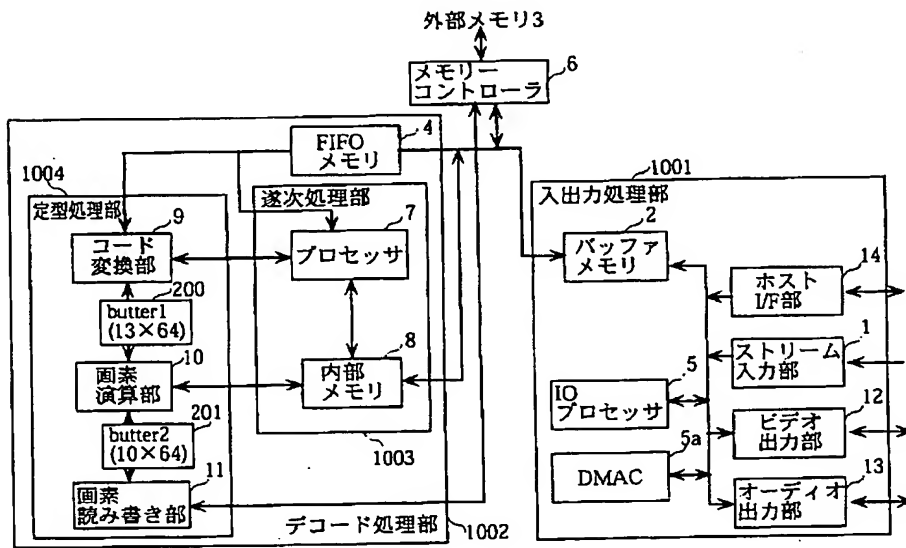
【図20】



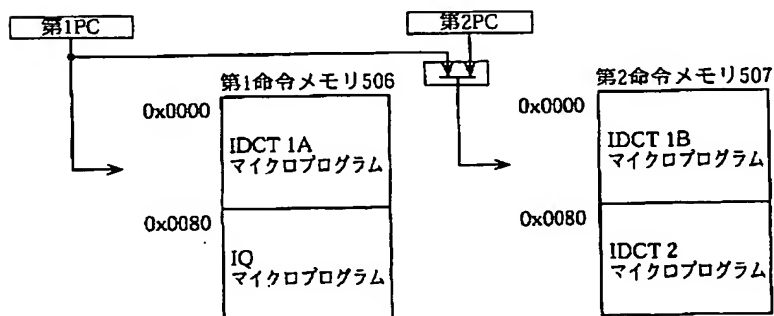
【図21】



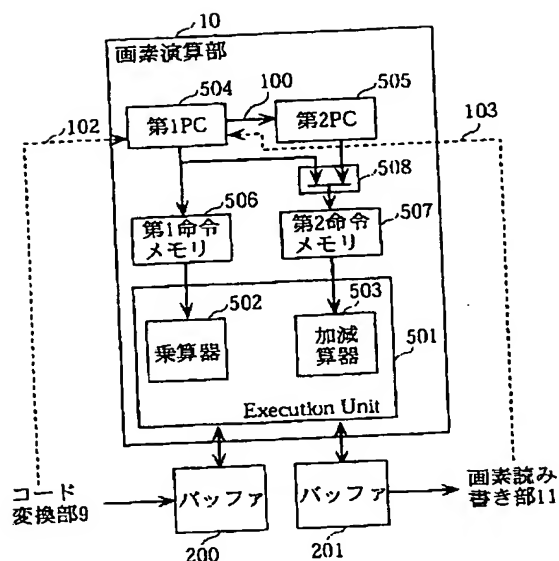
【図4】



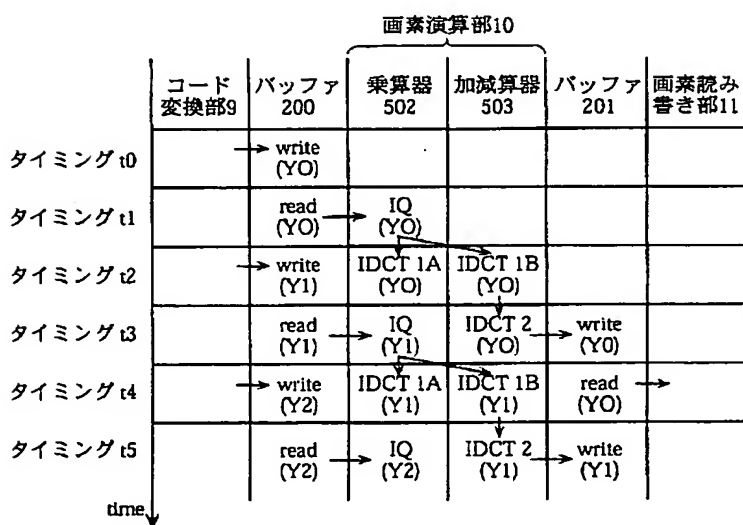
【図8】



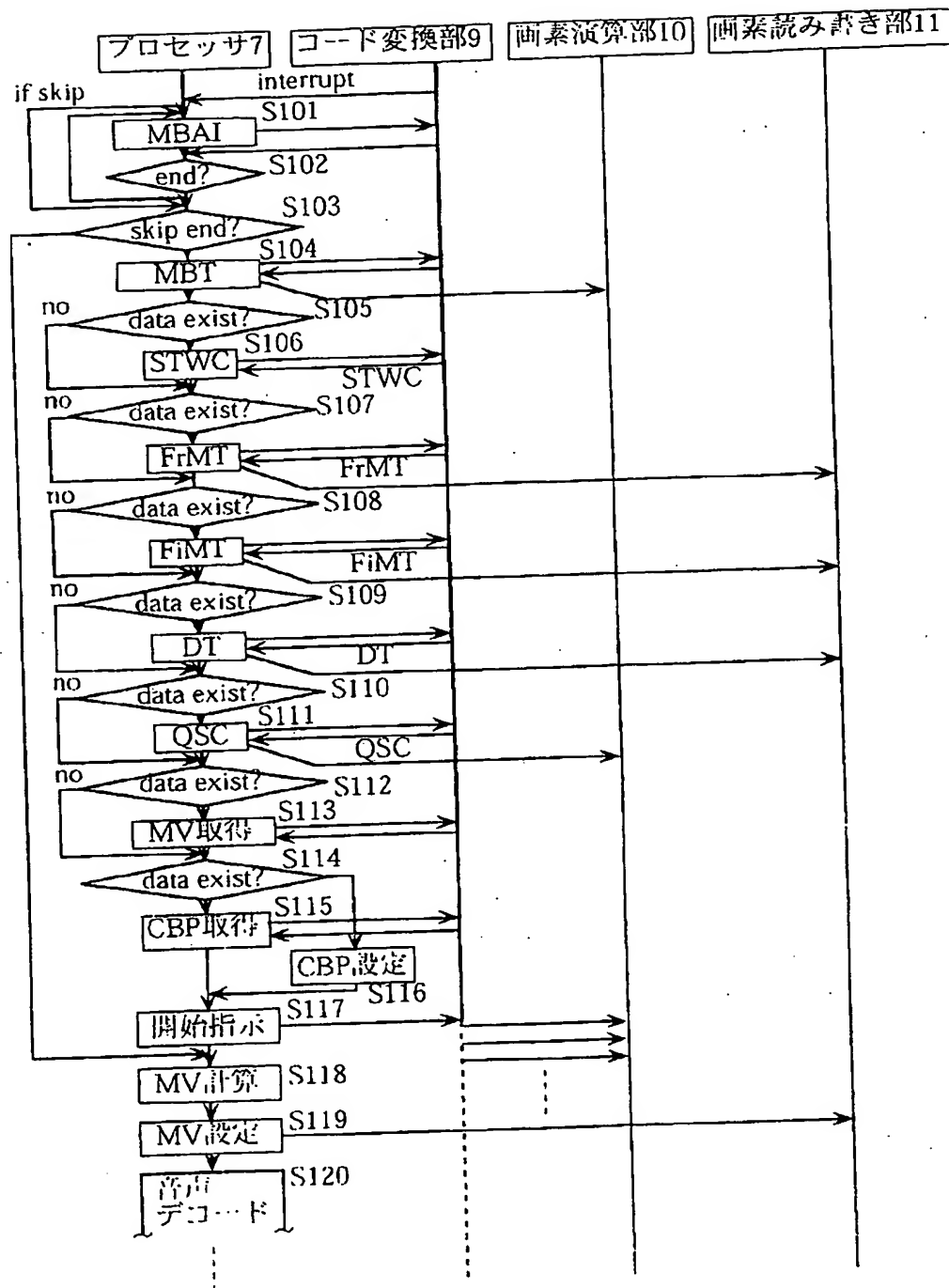
【図 7】



【図 9】

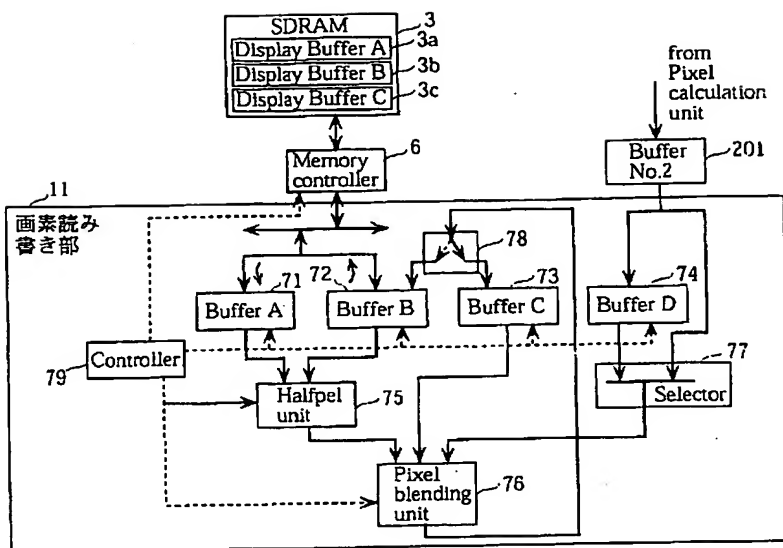


【図6】

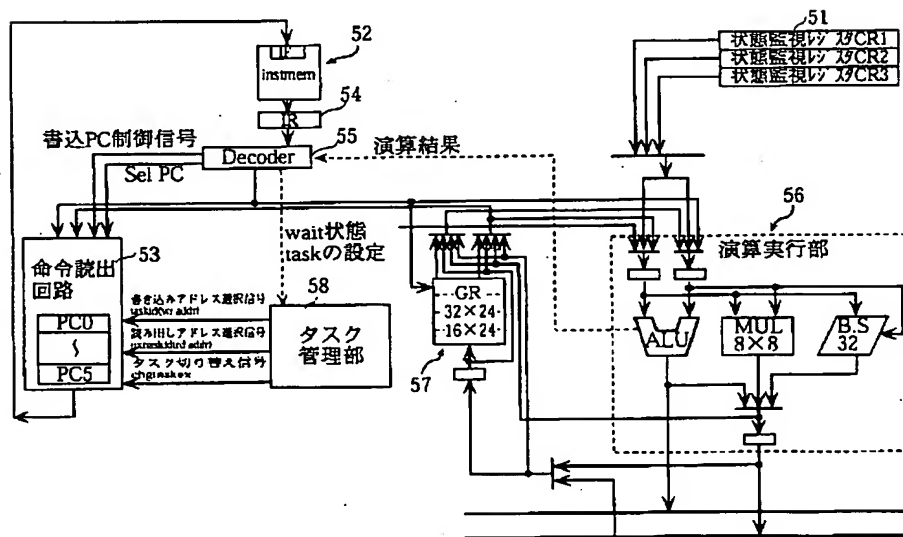




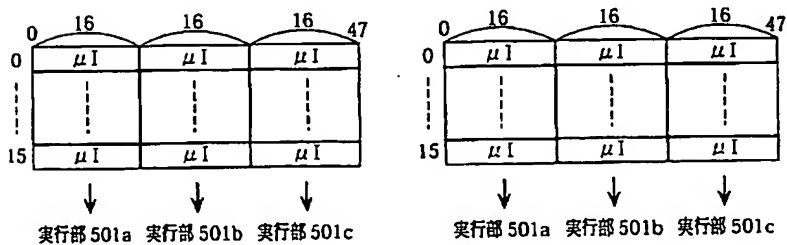
【図 10】



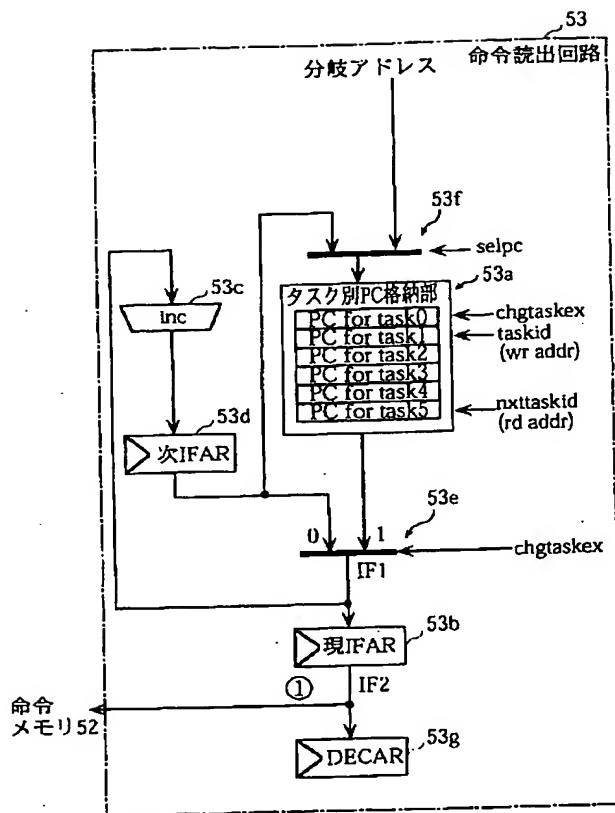
【図 1 1】



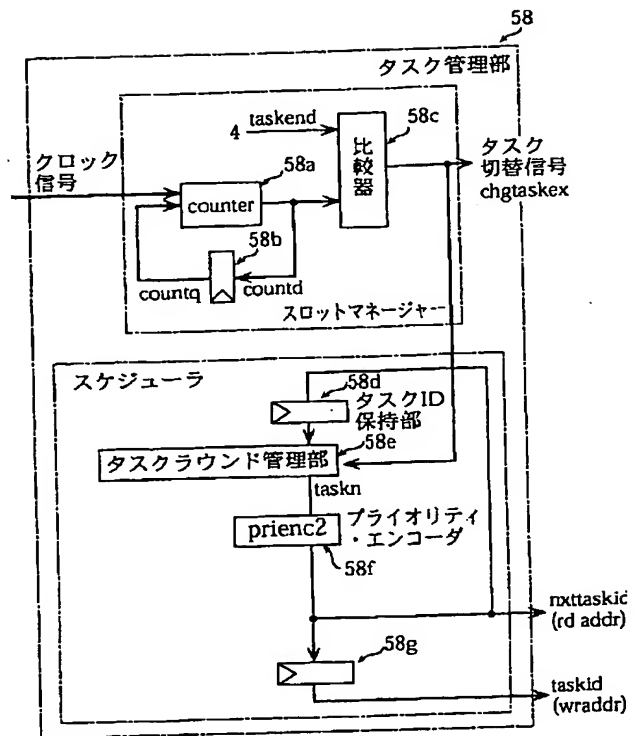
【圖 22】



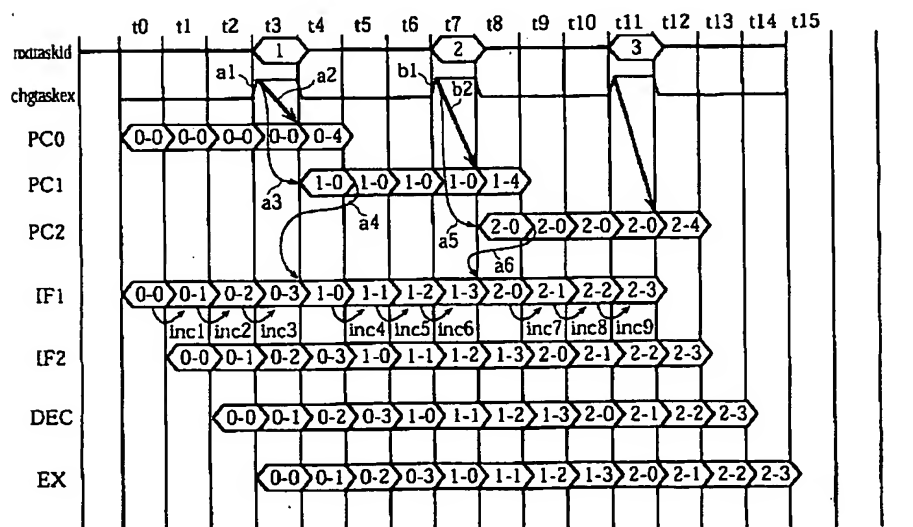
【図12】



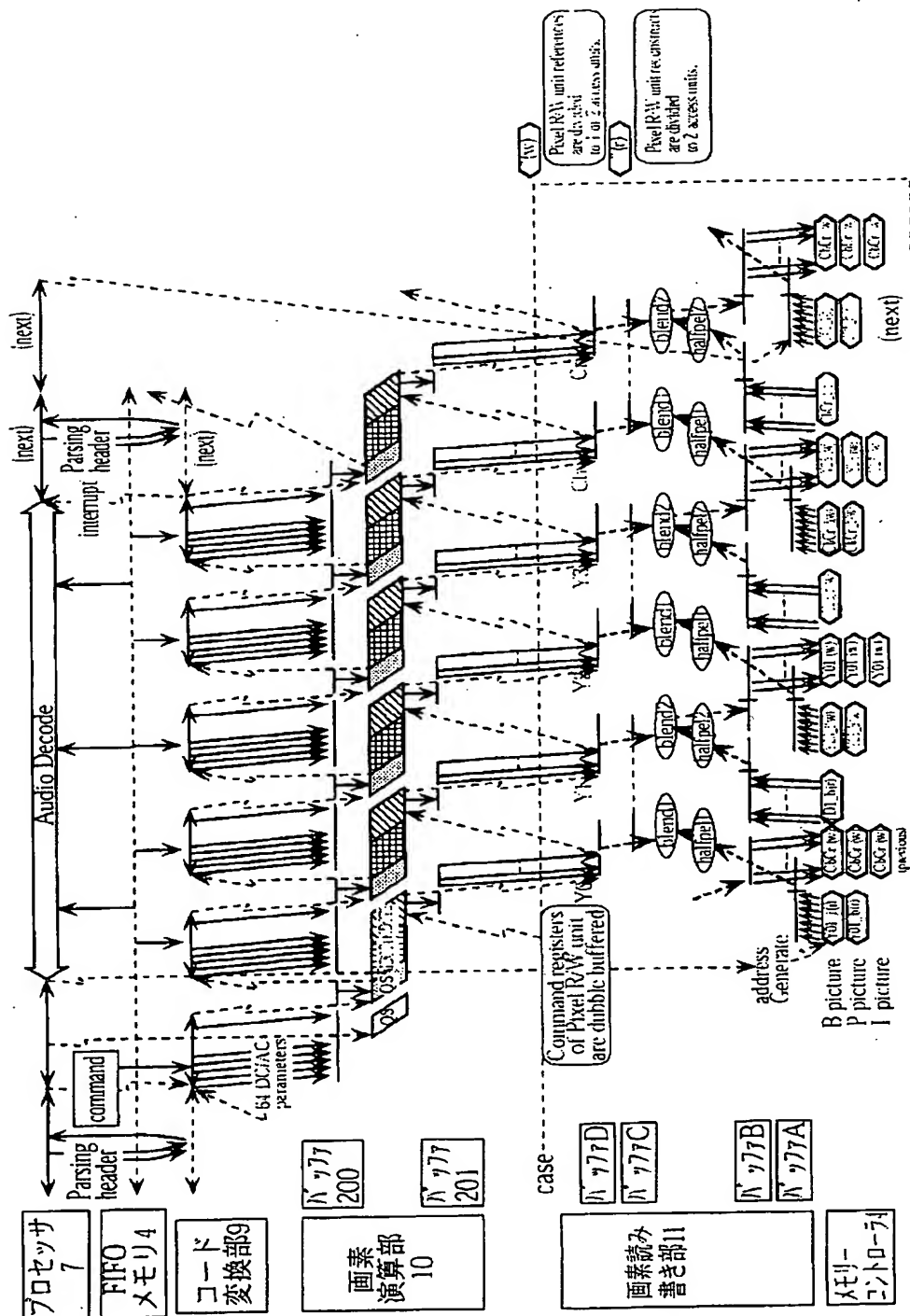
【図14】



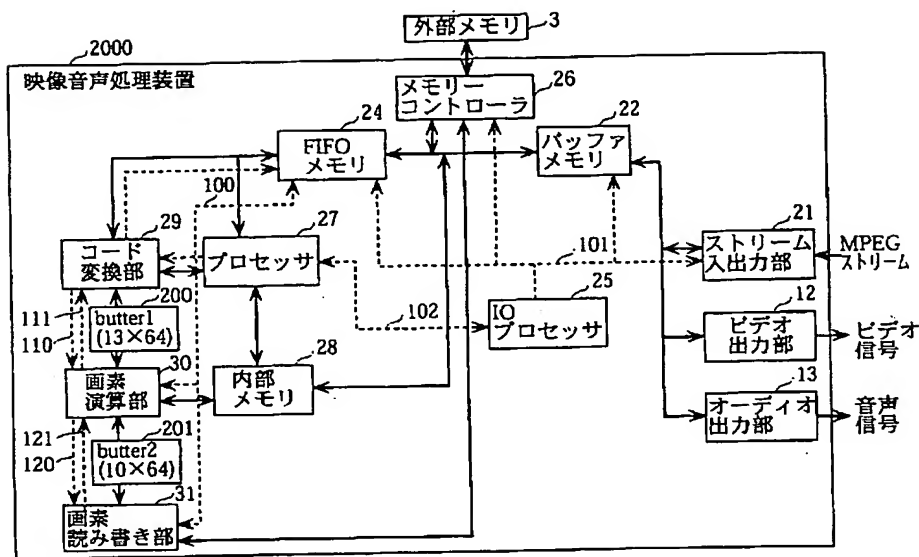
【図13】



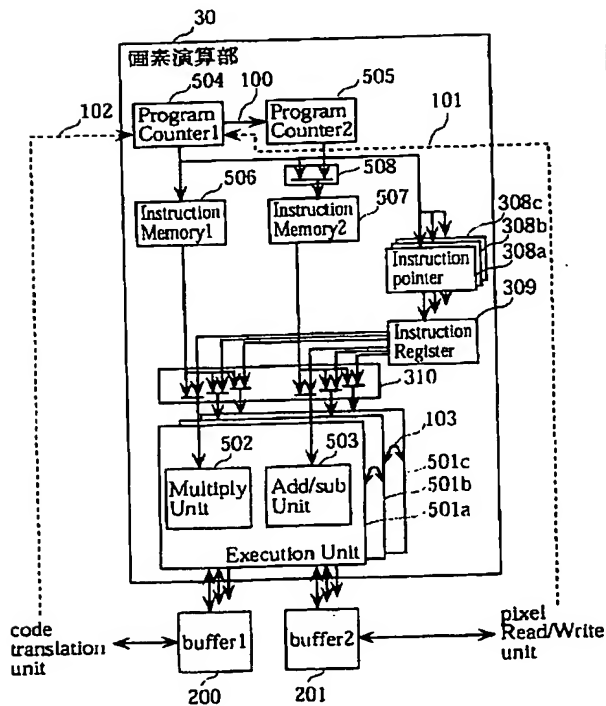
【図15】



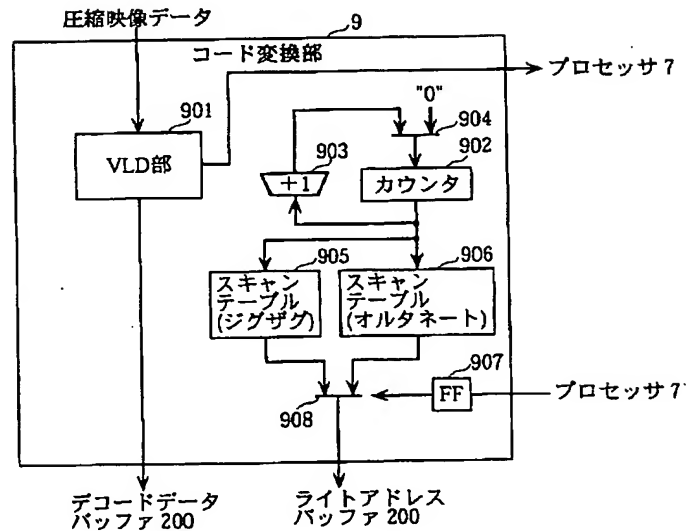
【図16】



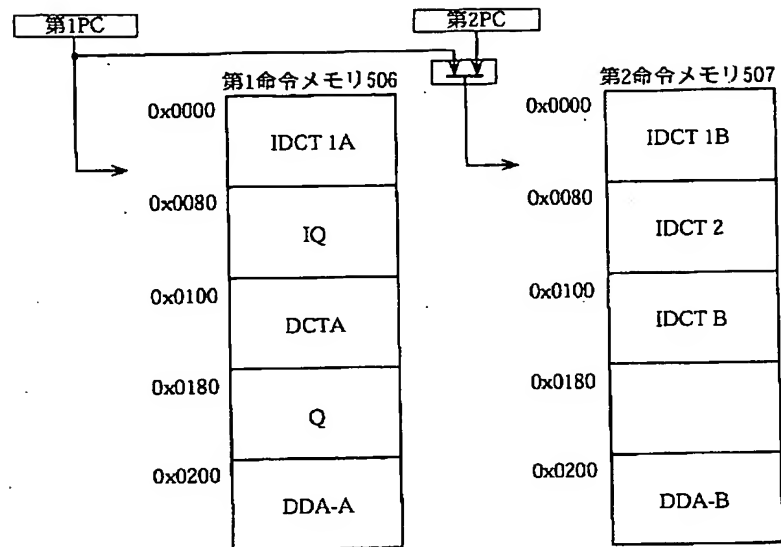
【図17】



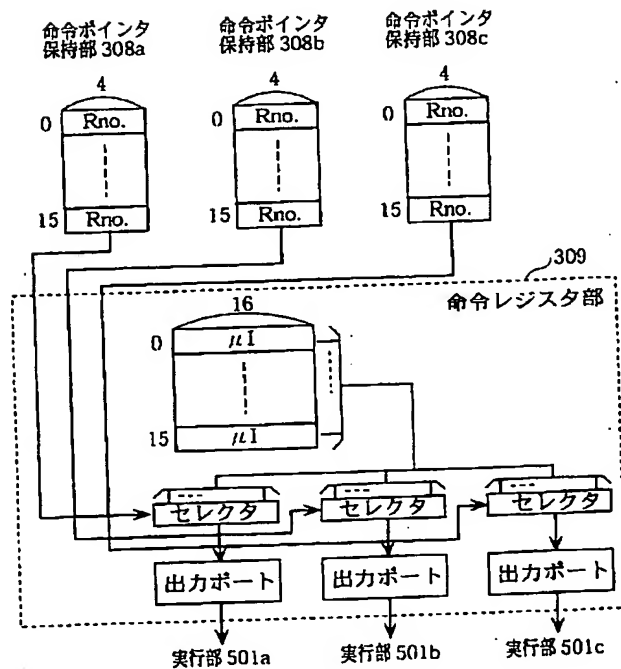
【図19】



【図18】



【図23】



フロントページの続き

(72) 発明者 木村 浩三  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内